

502 P0118 US00

日 本 国 特 許 庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月 7日

出 願 番 号

Application Number:

特願2001-031485

出 願 人

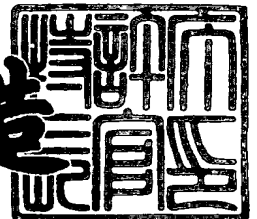
Applicant(s):

ソニー株式会社

2001年12月21日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3110385

【書類名】 特許願

【整理番号】 0000838410

【提出日】 平成13年 2月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 7/40

【発明者】

    【住所又は居所】 神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内

    【氏名】 菊地 賢次

【発明者】

    【住所又は居所】 神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内

    【氏名】 青木 克文

【特許出願人】

    【識別番号】 000002185

    【氏名又は名称】 ソニー株式会社

【代理人】

    【識別番号】 100094053

    【弁理士】

    【氏名又は名称】 佐藤 隆久

【手数料の表示】

    【予納台帳番号】 014890

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9707389

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データストリーム生成装置とその方法、可変長符号化データストリーム生成装置とその方法、および、カメラシステム

【特許請求の範囲】

【請求項 1】 順次入力されるデータの所定の先頭ビットを、前に入力されたデータの末尾ビット側に順次結合し、上記結合されたデータの上記先頭ビット側から所定データ長のデータを順次出力するデータストリーム生成装置であって

上記結合されたデータで未出力のデータのデータ長が上記所定データ長に達した場合、当該未出力データの上記先頭ビット側から上記所定データ長分のデータを出力し、当該出力後の残りのデータを帰還データとして出力し、上記未出力データのデータ長が上記所定データ長に達しない場合、当該未出力データを上記帰還データとして出力するデータ出力手段と、

上記入力データが所定の制御データの場合、上記帰還データのデータ長と所定の単位データ長の整数倍のデータ長との差分のデータ長を有する調整データを生成して、当該帰還データの上記末尾ビット側に付加するデータ付加手段と、

上記帰還データの上記末尾ビット側に上記入力データの上記先頭ビットを結合し、当該結合されたデータを上記未出力データとして上記データ出力手段に供給するデータ結合手段と

を有するデータストリーム生成装置。

【請求項 2】 上記入力データに対応して順次入力される入力データ長情報に基づいて、上記入力データのデータ長を積算し、当該積算データ長が上記所定データ長に達した場合、当該積算データ長から上記所定データ長を減算し、上記入力データが上記制御データの場合、当該積算データ長に上記調整データのデータ長を加算するデータ長処理手段を有し、

上記データ出力部は、上記データ長処理手段の積算データ長が上記所定データ長に達した場合に上記所定データ長のデータを出力し、上記所定データ長に達しない場合に上記未出力データを上記帰還データとして出力する、

請求項 1 に記載のデータストリーム生成装置。

【請求項 3】 上記データ付加手段は、

上記入力データが上記制御データの場合、上記データ長処理手段の積算データ長に応じた調整データ長を設定する調整データ長設定手段と、

上記設定された調整データ長に応じた上記調整データを生成する調整データ生成手段と、

上記生成された調整データを上記帰還データの上記末尾ビット側に付加する付加手段とを含み、

上記データ長処理部は、上記入力データが上記制御データの場合、上記設定された調整データ長を上記積算データ長に加算する、

請求項 2 に記載のデータストリーム生成装置。

【請求項 4】 上記調整データ長設定手段は、上記データ長処理手段の積算データ長を上記単位データ長で除した商と上記単位データ長との差分に応じた上記調整データ長を設定する、

請求項 3 に記載のデータストリーム生成装置。

【請求項 5】 上記調整データ長設定手段は、上記データ長処理手段の積算データ長のバイナリ値における最下位ビットから所定ビット数の下位データの各ビット値を反転し、当該ビット反転された下位データに所定値を加算したデータに応じた上記調整データ長を設定する、

請求項 3 に記載のデータストリーム生成装置。

【請求項 6】 上記調整データ生成手段は、上記設定された調整データ長に応じて複数の所定データから一のデータを選択し、当該選択されたデータに応じた調整データを生成する、

請求項 3 に記載のデータストリーム生成装置。

【請求項 7】 上記調整データ生成手段は、上記設定された調整データ長のバイナリ値における各ビット値に応じたデータを各ビットごとに生成し、当該各ビットごとに生成されたデータを所定の順序で結合して生成される複数のデータから、当該各ビットのうちの少なくとも一つの所定ビットのビット値に応じて一のデータを選択し、当該選択されたデータに応じた調整データを生成する、

請求項 3 に記載のデータストリーム生成装置。

【請求項 8】 供給される選択信号に応じて、順次入力される可変長データまたは上記制御データを選択し、当該選択された入力データを上記データ結合手段に供給するデータ選択手段と、

上記選択信号に応じて、上記可変長データまたは上記制御データに対応する入力データ長情報を選択し、当該選択された入力データ長情報を上記データ長処理手段に供給するデータ長選択手段とを有する、

請求項 2 に記載のデータストリーム生成装置。

【請求項 9】 各々が可変長である複数の可変長データを結合し、上記データ選択手段に供給する、可変長データ結合手段と、

上記複数の可変長データのそれぞれに対応する入力データ長情報に基づいて、上記結合された可変長データの入力データ長情報を生成し、上記データ長選択手段に供給するデータ長生成手段とを有する、

請求項 8 に記載のデータストリーム生成装置。

【請求項 10】 順次入力されるデータの所定の先頭ビットを、前に入力されたデータの末尾ビット側に順次結合し、上記結合されたデータの上記先頭ビット側から所定データ長のデータを順次出力するデータストリーム生成装置であって、

上記結合されたデータで未出力のデータのデータ長が上記所定データ長に達した場合、当該未出力データの上記先頭ビット側から上記所定データ長分のデータを出力し、当該出力後の残りのデータを帰還データとして出力し、上記未出力データのデータ長が上記所定データ長に達しない場合、当該未出力データを上記帰還データとして出力するデータ出力手段と、

上記入力データと上記帰還データのデータ長の和と、所定の単位データ長の整数倍のデータ長との差分のデータ長を有する調整データを生成し、入力される所定の制御データの上記先頭ビット側に付加するデータ付加手段と、

供給される選択信号に応じて、上記調整データが付加された制御データまたは他の入力データを選択するデータ選択手段と

上記帰還データの上記末尾ビット側に、上記選択された入力データの上記先頭ビットを結合し、当該結合されたデータを上記未出力データとして上記データ出

力手段に供給するデータ結合手段と

を有するデータストリーム生成装置。

【請求項 1 1】 上記入力データに対応して順次入力される上記入力データ長情報に基づいて、上記入力データのデータ長を積算し、当該積算データ長が上記所定データ長に達した場合、当該積算データ長から上記所定データ長を減算するデータ長処理手段を有し、

上記データ出力部は、上記データ長処理手段の積算データ長が上記所定データ長に達した場合に上記所定データ長のデータを出力し、上記所定データ長に達しない場合に上記未出力データを上記帰還データとして出力する、

請求項 1 0 に記載のデータストリーム生成装置。

【請求項 1 2】 上記データ付加手段は、

上記データ長処理手段の積算データ長と上記入力データ長の和に応じた調整データ長を設定する調整データ長設定手段と、

上記設定された調整データ長に応じた上記調整データを生成する調整データ生成手段と、

上記生成された調整データを上記制御データの上記先頭ビット側に付加する付加手段とを含む、

請求項 1 1 に記載のデータストリーム生成装置。

【請求項 1 3】 上記調整データ長設定手段は、上記データ長処理手段の積算データ長と上記入力データの和を上記単位データ長で除した商と、上記単位データ長との差分に応じた上記調整データ長を設定する、

請求項 1 2 に記載のデータストリーム生成装置。

【請求項 1 4】 上記調整データ長設定手段は、上記データ長処理手段の積算データ長と上記入力データ長の和のバイナリ値における最下位ビットから所定ビット数の下位データの各ビット値を反転し、当該ビット反転された下位データに所定値を加算したデータに応じた上記調整データ長を設定する、

請求項 1 2 に記載のデータストリーム生成装置。

【請求項 1 5】 上記調整データ生成手段は、上記設定された調整データ長に応じて複数の所定データから一のデータを選択し、当該選択されたデータに応

じた調整データを生成する、

請求項 12 に記載のデータストリーム生成装置。

【請求項 16】 上記調整データ生成手段は、上記設定された調整データ長のバイナリ値における各ビット値に応じたデータを各ビットごとに生成し、当該各ビットごとに生成されたデータを所定の順序で結合して生成される複数のデータから、当該各ビットのうちの少なくとも一つの所定ビットのビット値に応じて一のデータを選択し、当該選択されたデータに応じた調整データを生成する、

請求項 12 に記載のデータストリーム生成装置。

【請求項 17】 上記データ選択手段は、順次入力される可変長データまたは上記制御データを上記選択信号に応じて選択し、当該選択された入力データを上記データ結合手段に供給し、

上記選択信号に応じて、上記可変長データ、または上記調整データを付加された制御データに対応する入力データ長情報を選択し、当該選択された入力データ長情報を上記データ長処理手段に供給するデータ長選択手段を有する、

請求項 12 に記載のデータストリーム生成装置。

【請求項 18】 各々が可変長である複数の可変長データを結合し、上記データ選択手段に供給する可変長データ結合手段と、

上記複数の可変長データのそれぞれに対応する入力データ長情報に基づいて、上記結合された可変長データの入力データ長情報を生成し、上記データ長選択手段に供給する第 1 のデータ長生成手段と、

上記設定された調整データ長に基づいて、上記調整データを付加された制御データの入力データ長情報を生成し、上記データ長選択手段に供給する第 2 のデータ長生成手段とを有する、

請求項 17 に記載のデータストリーム生成装置。

【請求項 19】 順次入力されるデータの所定の先頭ビットを、前に入力されたデータの末尾ビット側に順次結合し、上記結合されたデータの上記先頭ビット側から所定データ長のデータを順次出力するデータストリーム生成方法であって、

上記結合されたデータで未出力のデータのデータ長が上記所定データ長に達し

た場合、当該未出力データの上記先頭ビット側から上記所定データ長分のデータを出力し、当該出力後の残りのデータに応じた帰還データを生成し、上記未出力データのデータ長が上記所定データ長に達しない場合、当該未出力データに応じた上記帰還データを生成するデータ出力ステップと、

上記入力データが所定の制御データの場合に、上記帰還データのデータ長と所定の単位データ長の整数倍のデータ長との差分のデータ長を有する調整データを生成して、当該帰還データの上記末尾ビット側に付加するデータ付加ステップと

上記帰還データの上記末尾ビット側に上記入力データの上記先頭ビットを結合して、上記データ出力ステップの未出力データを生成するデータ結合ステップとを反復する

データストリーム生成方法。

【請求項 2 0】 順次入力されるデータの所定の先頭ビットを、前に入力されたデータの末尾ビット側に順次結合し、上記結合されたデータの上記先頭ビット側から所定データ長のデータを順次出力するデータストリーム生成方法であって、

上記結合されたデータで未出力のデータのデータ長が上記所定データ長に達した場合、当該未出力データの上記先頭ビット側から上記所定データ長分のデータを出力し、当該出力後の残りのデータに応じた帰還データを生成し、上記未出力データのデータ長が上記所定データ長に達しない場合、当該未出力データに応じた上記帰還データを生成するデータ出力ステップと、

上記入力データと上記帰還データのデータ長の和と、所定の単位データ長の整数倍のデータ長との差分のデータ長を有する調整データを生成して、入力される所定の制御データの上記先頭ビット側に付加し、入力される選択信号に応じて、上記調整データが付加された制御データ、または順次入力される可変長データを選択し、当該選択されたデータの上記先頭ビットを上記帰還データの上記末尾ビット側に結合するデータ結合ステップとを反復する

データストリーム生成方法。

【請求項 2 1】 可変長符号化データまたは所定の制御データを順次生成し



、当該生成されたデータの所定の先頭ビットを、前に生成されたデータの末尾ビット側に順次結合し、上記結合されたデータの上記先頭ビット側から所定データ長のデータを順次出力する可変長符号化データストリーム生成装置であって、

所望のデータを可変長符号化した可変長符号化データまたは所望の上記制御データを順次生成する可変長符号化手段と、

上記結合されたデータで未出力のデータのデータ長が上記所定データ長に達した場合、当該未出力データの上記先頭ビット側から上記所定データ長分のデータを出力し、当該出力後の残りのデータを帰還データとして出力し、上記未出力データのデータ長が上記所定データ長に達しない場合、当該未出力データを上記帰還データとして出力するデータ出力手段と、

上記可変長符号化手段の生成データが上記制御データの場合、上記帰還データのデータ長と所定の単位データ長の整数倍のデータ長との差分のデータ長を有する調整データを生成して、当該帰還データの上記末尾ビット側に付加するデータ付加手段と、

上記帰還データの上記末尾ビット側に上記可変長符号化手段の生成データの上記先頭ビットを結合し、当該結合されたデータを上記未出力データとして上記データ出力手段に供給するデータ結合手段と

を有する可変長符号化データストリーム生成装置。

【請求項 2 2】 可変長符号化データまたは所定の制御データを順次を生成し、当該生成されたデータの所定の先頭ビットを、前に生成されたデータの末尾ビット側に順次結合し、上記結合されたデータの上記先頭ビット側から所定データ長のデータを順次出力する可変長符号化データストリーム生成装置であって、

所望のデータを可変長符号化した可変長符号化データまたは所望の上記制御データを順次生成し、当該生成データに応じた選択信号を出力する可変長符号化手段と、

上記結合されたデータで未出力のデータのデータ長が上記所定データ長に達した場合、当該未出力データの上記先頭ビット側から上記所定データ長分のデータを出力し、当該出力後の残りのデータを帰還データとして出力し、上記未出力データのデータ長が上記所定データ長に達しない場合、当該未出力データを上記帰

還データとして出力するデータ出力手段と、

上記入力データと上記帰還データのデータ長の和と、所定の単位データ長の整数倍のデータ長との差分のデータ長を有する調整データを生成し、上記制御データの上記先頭ビット側に付加するデータ付加手段と、

上記選択信号に応じて、上記調整データが付加された制御データまたは上記可変長符号データを選択するデータ選択手段と、

上記帰還データの上記末尾ビット側に上記データ選択手段の選択データの上記先頭ビットを結合し、当該結合されたデータを上記未出力データとして上記データ出力手段に供給するデータ結合手段と

を有する可変長符号化データストリーム生成装置。

【請求項 2 3】 可変長符号化データまたは所定の制御データを順次生成し、当該生成されたデータの所定の先頭ビットを、前に生成されたデータの末尾ビット側に順次結合し、上記結合されたデータの上記先頭ビット側から所定データ長のデータを順次出力する可変長符号化データストリーム生成方法であって、

所望のデータを可変長符号化した可変長符号化データまたは所望の上記制御データを順次生成する可変長符号化ステップと、

上記結合されたデータで未出力のデータのデータ長が上記所定データ長に達した場合、当該未出力データの上記先頭ビット側から上記所定データ長分のデータを出力し、当該出力後の残りのデータに応じた帰還データを生成し、上記未出力データのデータ長が上記所定データ長に達しない場合、当該未出力データに応じた上記帰還データを生成するデータ出力ステップと、

上記可変長符号化ステップにおける生成データが上記制御データの場合に、上記帰還データのデータ長と所定の単位データ長の整数倍のデータ長との差分のデータ長を有する調整データを生成して、当該帰還データの上記末尾ビット側に付加するデータ付加ステップと、

上記帰還データの上記末尾ビット側に上記生成データの上記先頭ビットを結合して、上記データ出力ステップの未出力データを生成するデータ結合ステップとを反復する

可変長符号化データストリーム生成方法。

【請求項24】 可変長符号化データまたは所定の制御データを順次生成し、当該生成されたデータの所定の先頭ビットを、前に生成されたデータの末尾ビット側に順次結合し、上記結合されたデータの上記先頭ビット側から所定データ長のデータを順次出力する可変長符号化データストリーム生成方法であって、

所望のデータを可変長符号化した可変長符号化データまたは所望の上記制御データを順次生成し、当該生成データに応じた選択信号を生成する可変長符号化ステップと、

上記結合されたデータで未出力のデータのデータ長が上記所定データ長に達した場合、当該未出力データの上記先頭ビット側から上記所定データ長分のデータを出力し、当該出力後の残りのデータに応じた帰還データを生成し、上記未出力データのデータ長が上記所定データ長に達しない場合、当該未出力データを上記帰還データを生成するデータ出力ステップと、

上記入力データと上記帰還データのデータ長の和と、所定の単位データ長の整数倍のデータ長との差分のデータ長を有する調整データを生成して、上記制御データの上記先頭ビット側に付加し、上記選択信号に応じて、上記調整データが付加された制御データ、または順次入力される可変長データを選択し、当該選択されたデータの上記先頭ビットを上記帰還データの上記末尾ビット側に結合するデータ結合ステップとを反復する

可変長符号化データストリーム生成方法。

【請求項25】 画像データを可変長符号化したデータまたは所定の制御データを順次生成し、当該生成されたデータの所定の先頭ビットを、前に生成されたデータの末尾ビット側に順次結合し、上記結合されたデータの上記先頭ビット側から所定データ長のデータを順次出力するカメラシステムであって、

所望の画像を撮影し画像データを生成する撮影手段と、

上記生成画像データを可変長符号化した可変長符号化データ、または所望の上記制御データを順次生成する可変長符号化手段と、

上記結合されたデータで未出力のデータのデータ長が上記所定データ長に達した場合、当該未出力データの上記先頭ビット側から上記所定データ長分のデータを出力画像データとして出力し、当該出力後の残りのデータを帰還データとして

出力し、上記未出力データのデータ長が上記所定データ長に達しない場合、当該未出力データを上記帰還データとして出力するデータ出力手段と、

上記可変長符号化手段の生成データが上記制御データの場合、上記帰還データのデータ長と所定の単位データ長の整数倍のデータ長との差分のデータ長を有する調整データを生成して、当該帰還データの上記末尾ビット側に付加するデータ付加手段と、

上記帰還データの上記末尾ビット側に上記可変長符号化手段の生成データの上記先頭ビットを結合し、当該結合されたデータを上記未出力データとして上記データ出力手段に供給するデータ結合手段と、

上記出力画像データの列に対して所定の処理を行う処理手段と  
を有するカメラシステム。

【請求項 26】 画像データを可変長符号化したデータまたは所定の制御データを順次生成し、当該生成されたデータの所定の先頭ビットを、前に生成されたデータの末尾ビット側に順次結合し、上記結合されたデータの上記先頭ビット側から所定データ長のデータを順次出力するカメラシステムであって、

所望の画像を撮影し画像データを生成する撮影手段と、

上記生成画像データを可変長符号化した可変長符号化データまたは所望の上記制御データを順次生成し、当該生成データに応じた選択信号を出力する可変長符号化手段と、

上記結合されたデータで未出力のデータのデータ長が上記所定データ長に達した場合、当該未出力データの上記先頭ビット側から上記所定データ長分のデータを出力画像データとして出力し、当該出力後の残りのデータを帰還データとして出力し、上記未出力データのデータ長が上記所定データ長に達しない場合、当該未出力データを上記帰還データとして出力するデータ出力手段と、

上記入力データと上記帰還データのデータ長の和と、所定の単位データ長の整数倍のデータ長との差分のデータ長を有する調整データを生成し、上記制御データの上記先頭ビット側に付加するデータ付加手段と、

上記選択信号に応じて、上記調整データが付加された制御データまたは上記可変長符号データを選択するデータ選択手段と、

上記帰還データの上記末尾ビット側に上記データ選択手段の選択データの上記先頭ビットを結合し、当該結合されたデータを上記未出力データとして上記データ出力手段に供給するデータ結合手段と、

上記出力画像データの列に対して所定の処理を行う処理手段と  
を有するカメラシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力されるデータ列から所定データ長のデータ列を生成するデータストリーム生成装置とその方法、そのような装置および方法を例えばJ P E Gなどの可変長符号化に適用して所定のデータストリームを生成する可変長データストリーム生成装置とその方法、ならびに、撮影した画像の信号を可変符号化して処理するカメラシステムに関するものである。

【0002】

【従来の技術】

画像データやオーディオデータなどの符号化には種々の方式があるが、その代表的な例であり、静止画像を符号化する際に広く使用されている方式として、J P E G (Joint Photographic Experts Group) がある。

このJ P E Gでは、圧縮符号化されたビットストリームの構造を規定するために、マーカと呼ばれる種々の制御コードが使用される。

【0003】

例えば、J P E Gで採用されているD C T (Discrete Cosine Transform) を用いた符号化方式においては、情報量の削減のために、ブロック間の相関性が高いD C T係数のD C成分は隣接するブロック間における差分値で符号化されている。そのため、J P E G圧縮符号化データを転送する際に何らかの原因によりデータ中にエラーが発生すると、以降に続くブロックに大きな影響を及ぼしてしまう。これを防止するため、J P E G画像データには保持しているD C成分値をクリアするためのリスタートマーカ (R S T m) と呼ばれるマーカが、例えば8 × 8画素のブロックの集合であるM C U (Minimum Coded Unit) と呼ばれる単位ご

とに、ビットストリームの中に挿入される。

その他、例えば1つの画像の始まりを示すSOI (Start Of Image) や、画像の終わりを示すEOI (End Of Image) などのマーカもある。

#### 【0004】

これらのマーカには、FFh (hは16進数表示であることを示す) で表される1バイトのヘッダを有した2バイトのコードが割り当てられている。例えば、RSTmにはFFD0h~FFD7hというコードが、SOIにはFFD8hというコードが、EOIにはFFD9hというコードが各々割り当てられている。

#### 【0005】

ところでJPEGにおいては、これらのマーカは圧縮符号化ビットストリームにおけるバイト単位の境界に対して適切な位置に挿入されることが要求されている。しかしながら、JPEGの圧縮符号化は可変長符号化であるため、そのままマーカを圧縮符号化ビットストリームに挿入させてしまうと、バイト境界に対するマーカの挿入位置は一定とならない。

そこで、マーカを圧縮符号化ビットストリームに挿入させる場合には、挿入位置を調整するための適切なデータ長を有するビットデータ（フィルビットと呼ばれている）を生成して、これをマーカの手前に挿入する必要がある。

#### 【0006】

##### 【発明が解決しようとする課題】

このように、例えばJPEGにより圧縮符号化された画像データのストリームが生成される場合には、圧縮符号化されて生成されたビットストリームに対して、種々のマーカが挿入されるとともに、マーカの挿入のたびに上述したフィルビットを生成してマーカの前に挿入しなければならない。このような処理は複雑な制御を必要とするので、従来こうした処理はソフトウェアによって行われていた。しかしながら、データをビットシフトさせて結合させる処理など、ソフトウェアでは多くの実行サイクルが必要となる処理が多い上に、画像データはデータ量が大量になる場合が多く、そのためソフトウェアでは実用的な処理速度が得られにくい問題がある。

また、こうした処理をハードウェアで実現させる場合においても、構成が複雑

で回路規模が大きくなるという問題がある。これは、このような回路をLSI上に構成しようとした時などにおいて特に問題となり、改善が望まれている。

【0007】

本発明はかかる事情に鑑みてなされたものであり、その目的は、フィルビットの挿入処理を効率よく行なうことにより、より小さい回路規模で、簡単な構成、制御により、順次入力されるデータ列から所定データ長のデータ列を生成するデータストリーム生成装置とその方法を提供することにある。

また本発明の他の目的は、フィルビットの挿入処理を効率よく行なうことにより、より小さい回路規模で、簡単な構成、制御により、所望のデータを可変長符号化し所定のデータストリームを生成する可変長符号化データストリーム生成装置とその方法を提供することにある。

さらに本発明の他の目的は、所望の画像を撮影し、撮影した画像データを可変長符号化するカメラシステムであって、特に、より小さい回路規模で、簡単な構成、制御により、撮影した画像データを可変長符号化した画像データストリームを生成するカメラシステムを提供することにある。

【0008】

【課題を解決するための手段】

上記の目的を達成するため、本発明の第1の観点に係るデータストリーム生成装置は、順次入力されるデータの所定の先頭ビットを、前に入力されたデータの末尾ビット側に順次結合し、上記結合されたデータの上記先頭ビット側から所定データ長のデータを順次出力するデータストリーム生成装置であって、上記結合されたデータで未出力のデータのデータ長が上記所定データ長に達した場合、当該未出力データの上記先頭ビット側から上記所定データ長分のデータを出力し、当該出力後の残りのデータを帰還データとして出力し、上記未出力データのデータ長が上記所定データ長に達しない場合、当該未出力データを上記帰還データとして出力するデータ出力手段と、上記入力データが所定のデータの場合、上記帰還データのデータ長と所定の単位データ長の整数倍のデータ長との差分のデータ長を有する調整データを生成して、当該帰還データの上記末尾ビット側に付加するデータ付加手段と、上記帰還データの上記末尾ビット側に上記入力データの上

記先頭ビットを結合し、当該結合されたデータを上記未出力データとして上記データ出力手段に供給するデータ結合手段とを有する。

## 【 0 0 0 9 】

本発明の第 1 の観点に係るデータストリーム生成装置によれば、上記結合されたデータで未出力のデータのデータ長が上記所定データ長に達した場合、当該未出力データの上記先頭ビット側から上記所定データ長分のデータが上記データ出力手段より出力され、当該出力後の残りのデータが帰還データとして出力される。また、上記未出力データのデータ長が上記所定データ長に達しない場合には、当該未出力データが上記帰還データとして上記データ出力手段より出力される。

上記データ付加手段においては、上記入力データが所定のデータの場合、上記帰還データのデータ長と所定の単位データ長の整数倍のデータ長との差分のデータ長を有する調整データが生成され、当該帰還データの上記末尾ビット側に付加される。

上記データ結合手段においては、上記帰還データの上記末尾ビット側に上記入力データの上記先頭ビットが結合され、当該結合されたデータが上記未出力データとして上記データ出力手段に供給される。

## 【 0 0 1 0 】

また、上記入力データに対応して順次入力される入力データ長情報に基づいて、上記入力データのデータ長を積算し、当該積算データ長が上記所定データ長に達した場合、当該積算データ長から上記所定データ長を減算し、上記入力データが上記制御データの場合、当該積算データ長に上記調整データのデータ長を加算するデータ長処理手段を有し、上記データ出力部は、上記データ長処理手段の積算データ長が上記所定データ長に達した場合に上記所定データ長のデータを出力し、上記所定データ長に達しない場合に上記未出力データを上記帰還データとして出力する。

## 【 0 0 1 1 】

また、上記データ付加手段は、上記入力データが所定のデータの場合、上記データ長処理手段の積算データ長に応じた調整データ長を設定する調整データ長設定手段と、上記設定された調整データ長に応じた上記調整データを生成する調整



データ生成手段と、上記生成された調整データを上記帰還データの上記末尾ビット側に付加する付加手段とを含み、上記データ長処理部は、上記入力データが所定のデータの場合、上記設定された調整データ長を上記積算データ長に加算する。

## 【 0 0 1 2 】

本発明の第2の観点に係るデータストリーム生成装置は、順次入力されるデータの所定の先頭ビットを、前に入力されたデータの末尾ビット側に順次結合し、上記結合されたデータの上記先頭ビット側から所定データ長のデータを順次出力するデータストリーム生成装置であって、上記結合されたデータで未出力のデータのデータ長が上記所定データ長に達した場合、当該未出力データの上記先頭ビット側から上記所定データ長分のデータを出力し、当該出力後の残りのデータを帰還データとして出力し、上記未出力データのデータ長が上記所定データ長に達しない場合、当該未出力データを上記帰還データとして出力するデータ出力手段と、上記入力データと上記帰還データのデータ長の和と、所定の単位データ長の整数倍のデータ長との差分のデータ長を有する調整データを生成し、入力される所定のデータの上記先頭ビット側に付加するデータ付加手段と、供給される選択信号に応じて、上記調整データが付加された所定のデータまたは他の入力データを選択するデータ選択手段と上記帰還データの上記末尾ビット側に、上記選択された入力データの上記先頭ビットを結合し、当該結合されたデータを上記未出力データとして上記データ出力手段に供給するデータ結合手段とを有する。

## 【 0 0 1 3 】

本発明の第2の観点に係るデータストリーム生成装置によれば、上記結合されたデータで未出力のデータのデータ長が上記所定データ長に達した場合、当該未出力データの上記先頭ビット側から上記所定データ長分のデータが上記データ出力手段より出力され、当該出力後の残りのデータが帰還データとして出力される。上記未出力データのデータ長が上記所定データ長に達しない場合には、当該未出力データが上記帰還データとして上記データ出力手段より出力される。

上記データ付加手段においては、上記入力データと上記帰還データのデータ長の和と、所定の単位データ長の整数倍のデータ長との差分のデータ長を有する調

整データが生成され、入力される所定のデータの上記先頭ビット側に付加される。

上記データ選択手段においては、供給される選択信号に応じて、上記調整データが付加された所定のデータまたは他の入力データが選択される。

上記データ結合手段においては、上記帰還データの上記末尾ビット側に、上記選択された入力データの上記先頭ビットが結合され、当該結合されたデータが上記未出力データとして上記データ出力手段に供給される。

#### 【0014】

また、上記入力データに対応して順次入力される上記入力データ長情報に基づいて、上記入力データのデータ長を積算し、当該積算データ長が上記所定データ長に達した場合、当該積算データ長から上記所定データ長を減算するデータ長処理手段を有し、上記データ出力部は、上記データ長処理手段の積算データ長が上記所定データ長に達した場合に上記所定データ長のデータを出力し、上記所定データ長に達しない場合に上記未出力データを上記帰還データとして出力する。

#### 【0015】

また、上記データ付加手段は、上記データ長処理手段の積算データ長と上記入力データ長の和に応じた調整データ長を設定する調整データ長設定手段と、上記設定された調整データ長に応じた上記調整データを生成する調整データ生成手段と、上記生成された調整データを上記制御データの上記先頭ビット側に付加する付加手段とを含む。

#### 【0016】

本発明の第3の観点に係るデータストリーム生成方法は、順次入力されるデータの所定の先頭ビットを、前に入力されたデータの末尾ビット側に順次結合し、上記結合されたデータの上記先頭ビット側から所定データ長のデータを順次出力するデータストリーム生成方法であって、上記結合されたデータで未出力のデータのデータ長が上記所定データ長に達した場合、当該未出力データの上記先頭ビット側から上記所定データ長分のデータを出力し、当該出力後の残りのデータに応じた帰還データを生成し、上記未出力データのデータ長が上記所定データ長に達しない場合、当該未出力データに応じた上記帰還データを生成するデータ出力

ステップと、上記入力データが所定のデータの場合に、上記帰還データのデータ長と所定の単位データ長の整数倍のデータ長との差分のデータ長を有する調整データを生成して、当該帰還データの上記末尾ビット側に付加するデータ付加ステップと、上記帰還データの上記末尾ビット側に上記入力データの上記先頭ビットを結合して、上記データ出力ステップの未出力データを生成するデータ結合ステップとを反復する。

## 【0017】

本発明の第4の観点に係るデータストリーム生成方法は、順次入力されるデータの所定の先頭ビットを、前に入力されたデータの末尾ビット側に順次結合し、上記結合されたデータの上記先頭ビット側から所定データ長のデータを順次出力するデータストリーム生成方法であって、上記結合されたデータで未出力のデータのデータ長が上記所定データ長に達した場合、当該未出力データの上記先頭ビット側から上記所定データ長分のデータを出力し、当該出力後の残りのデータに応じた帰還データを生成し、上記未出力データのデータ長が上記所定データ長に達しない場合、当該未出力データに応じた上記帰還データを生成するデータ出力ステップと、上記入力データと上記帰還データのデータ長の和と、所定の単位データ長の整数倍のデータ長との差分のデータ長を有する調整データを生成して、入力される所定のデータの上記先頭ビット側に付加し、入力される選択信号に応じて、上記調整データが付加された所定のデータ、または順次入力される可変長データを選択し、当該選択されたデータの上記先頭ビットを上記帰還データの上記末尾ビット側に結合するデータ結合ステップとを反復する。

## 【0018】

本発明の第5の観点に係る可変長符号化データストリーム生成装置は、可変長符号化データまたは所定の制御データを順次生成し、当該生成されたデータの所定の先頭ビットを、前に生成されたデータの末尾ビット側に順次結合し、上記結合されたデータの上記先頭ビット側から所定データ長のデータを順次出力する可変長符号化データストリーム生成装置であって、所望のデータを可変長符号化した可変長符号化データまたは所望の上記制御データを順次生成する可変長符号化手段と、上記結合されたデータで未出力のデータのデータ長が上記所定データ長

に達した場合、当該未出力データの上記先頭ビット側から上記所定データ長分のデータを出力し、当該出力後の残りのデータを帰還データとして出力し、上記未出力データのデータ長が上記所定データ長に達しない場合、当該未出力データを上記帰還データとして出力するデータ出力手段と、上記可変長符号化手段の生成データが上記制御データの場合、上記帰還データのデータ長と所定の単位データ長の整数倍のデータ長との差分のデータ長を有する調整データを生成して、当該帰還データの上記末尾ビット側に付加するデータ付加手段と、上記帰還データの上記末尾ビット側に上記可変長符号化手段の生成データの上記先頭ビットを結合し、当該結合されたデータを上記未出力データとして上記データ出力手段に供給するデータ結合手段とを有する。

## 【 0 0 1 9 】

本発明の第 6 の観点に係る可変長符号化データストリーム生成装置は、可変長符号化データまたは所定の制御データを順次を生成し、当該生成されたデータの所定の先頭ビットを、前に生成されたデータの末尾ビット側に順次結合し、上記結合されたデータの上記先頭ビット側から所定データ長のデータを順次出力する可変長符号化データストリーム生成装置であって、所望のデータを可変長符号化した可変長符号化データまたは所望の上記制御データを順次生成し、当該生成データに応じた選択信号を出力する可変長符号化手段と、上記結合されたデータで未出力のデータのデータ長が上記所定データ長に達した場合、当該未出力データの上記先頭ビット側から上記所定データ長分のデータを出力し、当該出力後の残りのデータを帰還データとして出力し、上記未出力データのデータ長が上記所定データ長に達しない場合、当該未出力データを上記帰還データとして出力するデータ出力手段と、上記入力データと上記帰還データのデータ長の和と、所定の単位データ長の整数倍のデータ長との差分のデータ長を有する調整データを生成し、上記制御データの上記先頭ビット側に付加するデータ付加手段と、上記選択信号に応じて、上記調整データが付加された制御データまたは上記可変長符号データを選択するデータ選択手段と、上記帰還データの上記末尾ビット側に上記データ選択手段の選択データの上記先頭ビットを結合し、当該結合されたデータを上記未出力データとして上記データ出力手段に供給するデータ結合手段とを有する

## 【 0 0 2 0 】

本発明の第7の観点に係る可変長符号化データストリーム生成方法は、可変長符号化データまたは所定の制御データを順次生成し、当該生成されたデータの所定の先頭ビットを、前に生成されたデータの末尾ビット側に順次結合し、上記結合されたデータの上記先頭ビット側から所定データ長のデータを順次出力する可変長符号化データストリーム生成方法であって、所望のデータを可変長符号化した可変長符号化データまたは所望の上記制御データを順次生成する可変長符号化ステップと、上記結合されたデータで未出力のデータのデータ長が上記所定データ長に達した場合、当該未出力データの上記先頭ビット側から上記所定データ長分のデータを出力し、当該出力後の残りのデータに応じた帰還データを生成し、上記未出力データのデータ長が上記所定データ長に達しない場合、当該未出力データに応じた上記帰還データを生成するデータ出力ステップと、上記可変長符号化ステップにおける生成データが上記制御データの場合に、上記帰還データのデータ長と所定の単位データ長の整数倍のデータ長との差分のデータ長を有する調整データを生成して、当該帰還データの上記末尾ビット側に付加するデータ付加ステップと、上記帰還データの上記末尾ビット側に上記生成データの上記先頭ビットを結合して、上記データ出力ステップの未出力データを生成するデータ結合ステップとを反復する。

## 【 0 0 2 1 】

本発明の第8の観点に係る可変長符号化データストリーム生成方法は、可変長符号化データまたは所定の制御データを順次生成し、当該生成されたデータの所定の先頭ビットを、前に生成されたデータの末尾ビット側に順次結合し、上記結合されたデータの上記先頭ビット側から所定データ長のデータを順次出力する可変長符号化データストリーム生成方法であって、所望のデータを可変長符号化した可変長符号化データまたは所望の上記制御データを順次生成し、当該生成データに応じた選択信号を生成する可変長符号化ステップと、上記結合されたデータで未出力のデータのデータ長が上記所定データ長に達した場合、当該未出力データの上記先頭ビット側から上記所定データ長分のデータを出力し、当該出力後の

残りのデータに応じた帰還データを生成し、上記未出力データのデータ長が上記所定データ長に達しない場合、当該未出力データを上記帰還データを生成するデータ出力ステップと、上記入力データと上記帰還データのデータ長の和と、所定の単位データ長の整数倍のデータ長との差分のデータ長を有する調整データを生成して、上記制御データの上記先頭ビット側に付加し、上記選択信号に応じて、上記調整データが付加された制御データ、または順次入力される可変長データを選択し、当該選択されたデータの上記先頭ビットを上記帰還データの上記末尾ビット側に結合するデータ結合ステップとを反復する。

## 【 0 0 2 2 】

本発明の第 9 の観点に係るカメラシステムは、画像データを可変長符号化したデータまたは所定の制御データを順次生成し、当該生成されたデータの所定の先頭ビットを、前に生成されたデータの末尾ビット側に順次結合し、上記結合されたデータの上記先頭ビット側から所定データ長のデータを順次出力するカメラシステムであって、所望の画像を撮影し画像データを生成する撮影手段と、上記生成画像データを可変長符号化した可変長符号化データ、または所望の上記制御データを順次生成する可変長符号化手段と上記結合されたデータで未出力のデータのデータ長が上記所定データ長に達した場合、当該未出力データの上記先頭ビット側から上記所定データ長分のデータを出力画像データとして出力し、当該出力後の残りのデータを帰還データとして出力し、上記未出力データのデータ長が上記所定データ長に達しない場合、当該未出力データを上記帰還データとして出力するデータ出力手段と、上記可変長符号化手段の生成データが上記制御データの場合、上記帰還データのデータ長と所定の単位データ長の整数倍のデータ長との差分のデータ長を有する調整データを生成して、当該帰還データの上記末尾ビット側に付加するデータ付加手段と、上記帰還データの上記末尾ビット側に上記可変長符号化手段の生成データの上記先頭ビットを結合し、当該結合されたデータを上記未出力データとして上記データ出力手段に供給するデータ結合手段と、上記出力画像データの列に対して所定の処理を行う処理手段とを有する。

## 【 0 0 2 3 】

本発明の第 1 0 の観点に係るカメラシステムは、画像データを可変長符号化し

たデータまたは所定の制御データを順次生成し、当該生成されたデータの所定の先頭ビットを、前に生成されたデータの末尾ビット側に順次結合し、上記結合されたデータの上記先頭ビット側から所定データ長のデータを順次出力するカメラシステムであって、所望の画像を撮影し画像データを生成する撮影手段と、上記生成画像データを可変長符号化した可変長符号化データまたは所望の上記制御データを順次生成し、当該生成データに応じた選択信号を出力する可変長符号化手段と、上記結合されたデータで未出力のデータのデータ長が上記所定データ長に達した場合、当該未出力データの上記先頭ビット側から上記所定データ長分のデータを出力画像データとして出力し、当該出力後の残りのデータを帰還データとして出力し、上記未出力データのデータ長が上記所定データ長に達しない場合、当該未出力データを上記帰還データとして出力するデータ出力手段と、上記入力データと上記帰還データのデータ長の和と、所定の単位データ長の整数倍のデータ長との差分のデータ長を有する調整データを生成し、上記制御データの上記先頭ビット側に付加するデータ付加手段と、上記選択信号に応じて、上記調整データが付加された制御データまたは上記可変長符号データを選択するデータ選択手段と、上記帰還データの上記末尾ビット側に上記データ選択手段の選択データの上記先頭ビットを結合し、当該結合されたデータを上記未出力データとして上記データ出力手段に供給するデータ結合手段と、上記出力画像データの列に対して所定の処理を行う処理手段とを有する。

【 0 0 2 4 】

【発明の実施の形態】

### 第 1 の実施の形態

本発明に係る第 1 の実施の形態について、図 1 ～図 1 3 を参照して説明する。

本実施の形態においては、例えば電子スチルカメラのような、静止画像を撮影して圧縮符号化し記録するカメラシステムを例示して本発明を説明する。

【 0 0 2 5 】

〔カメラシステム 1 0 0 〕

まず、そのカメラシステムの全体の構成および動作について図 1 を参照して説明する。

図1は、本発明に係る第1の実施の形態のカメラシステム100を説明するための概略的な構成図である。カメラシステム100は、光学系101、CCD102、A/D変換部103、画像圧縮部104、SDRAM114およびCPU115を有する。

また、画像圧縮部104は、CCD信号処理部105、バス106、バッファ107、SDRAMインターフェイス(SDRAM I/F)108、JPEG処理部109、クロック生成部110、システムコントローラ111、CPUインターフェイス(CPU I/F)112およびメモリコントローラ113を有する。

#### 【0026】

光学系101は、使用者の操作により所望の画像を撮像し、その光信号をCCD102の撮像面上に結像させる。

CCD102は、光学系101により結像された撮像面上の光信号を電気信号に変換し、アナログ画像信号としてA/D変換部103に出力する。

A/D変換部103は、CCD102より入力されたアナログ画像信号を所定の階調のデジタル信号に変換し、画像圧縮部104のCCD信号処理部105に出力する。

#### 【0027】

画像圧縮部104のCCD信号処理部105は、システムコントローラ111の制御に基づいて、入力されるデジタル画像信号をR(赤)、G(緑)、B(青)の各色信号に分離し、各色信号に対して色再現性のためガンマ補正を行い、さらに輝度信号と色差信号を生成する。生成された輝度信号と色差信号からなる画像信号は、バス106を介してバッファ107に出力される。

#### 【0028】

バッファ107は、CCD信号処理部105よりバス106を介して入力される画像信号を順次記憶し、一定量蓄えられたら、メモリコントローラ113の制御に基づいて、SDRAM I/F108に出力する。また、SDRAM I/F108から入力される、SDRAM114より読み出された画像データを一時的に記憶し、バス106を介してJPEG処理部109に出力する。



SDRAMI/F108は、画像圧縮部104の外部メモリであって、メモリコントローラ113の制御に基づいて、バッファ107より入力される所定の単位ごとの画像データをSDRAM114に記憶する。また、SDRAM114に記憶されている画像データを、8×8のブロック単位で読み出し、バッファ107に出力する。

## 【0029】

JPEG処理部109は、システムコントローラ111の制御に基づいて、SDRAM114より読み出されバッファ107を介して入力される画像信号をJPEG符号化し、符号化ビットストリームを生成し、バス106およびCPU I/F112を介してCPU115に出力する。このJPEG処理部109の構成および動作については後に詳細に説明する。

## 【0030】

クロック生成部110は、システムコントローラ111の制御に基づいて、画像圧縮部104内の各部で使用するクロックを生成し、その各構成部に提供する。

バス106は、画像圧縮部104内のデータバスを模式的に示したものである。このバス106を介して、CCD信号処理部105からバッファ107へおよびバッファ107からJPEG処理部109への画像データの転送、および、JPEG処理部109からCPU I/F112への符号化ビットストリームの転送などが行なわれる。

## 【0031】

システムコントローラ111は、CPU115の制御に基づいて動作し、画像圧縮部104の動作、すなわち、入力される画像データのSDRAM114への記憶、SDRAM114に記憶された画像データのJPEG処理部109への転送、JPEG処理部109におけるJPEG符号化、および、符号化された画像データのCPU115への出力などの動作が適切に実行されるように、画像圧縮部104の各構成部を制御する。

CPU I/F112は、CPU115とのインターフェイスであり、CPU115からの制御信号、画像信号の入力、CPU115への制御信号、符号化デー

タの出力などを行なう。

メモリコントローラ113は、システムコントローラ111の制御に基づいて、バッファ107およびSDRAM I/F108を制御し、画像データのSDRAM114への記憶およびSDRAM114に記憶された画像データの読み出しなどを制御する。

#### 【0032】

SDRAM114は、撮影された輝度信号および色差信号からなる画像データを一時的に記憶するメモリである。光学系101～A/D変換部103で撮影された画像データは、一旦SDRAM114に記憶された後、JPEG処理部109に順次供給され、符号化され、CPU115に出力され、記憶、表示、伝送などに用いられる。

CPU115は、光学系101～画像圧縮部104およびSDRAM114による所望の画像の撮像、画像処理、画像データの記憶・再生、JPEG符号化、JPEG符号化データの記憶、表示、伝送などの各処理が適切に行なわれ、カメラシステム100が全体として所望の動作をするように、カメラシステム100の各構成部を制御する。

#### 【0033】

このような構成のカメラシステム100においては、まず、使用者の操作により光学系101に所望の画像が撮像されると、CCD102において光信号が電気信号に変換されて画像信号が生成される。その画像信号は、A/D変換部103でアナログ信号からデジタル信号に変換され、さらに画像圧縮部104のCCD信号処理部105において各色信号に分解され、ガンマ補正が施された後、輝度信号と色差信号からなる画像信号に変換される。

この画像信号は、バッファ107、SDRAM I/F108を介して一旦SDRAM114に記憶された後、8×8画素のブロックごとに順次読み出されてJPEG処理部109に入力される。

JPEG処理部109においては、順次入力されるブロックごとの画像データがJPEG符号化され、所定のフォーマットのJPEG符号化データストリームが生成され、CPU I/F112を介してCPU115に出力され、記憶、表示

、伝送などの処理が行なわれる。

【0034】

〔JPEG処理部109〕

次に、カメラシステム100のJPEG処理部109の内部構成およびその動作について、図2および図3を参照して説明する。

図2は、JPEG処理部109の構成を示すブロック図である。

JPEG処理部109は、DCT・量子化部121、マーカ発生部122、可変長符号化部123、JPEG制御レジスタ124およびJPEGコントローラ125を有する。

なお、JPEG処理部109には1画素8ビットの輝度信号または1画素8ビットの色差信号が、8×8画素単位で入力されるものとする。

【0035】

DCT・量子化部121は、入力される8×8画素の画像データS<sub>v</sub>にDCTを実行して、64個の周波数成分（DCT係数）に変換し、各係数を、図示せぬ量子化テーブルの対応する値を用いて量子化する。量子化されたDCT係数S<sub>q</sub>（11ビット）は、可変長符号化部123に出力される。

【0036】

マーカ発生部122は、JPEGコントローラ125の制御に基づいて、JPEGビットストリームに付加する、そのビットストリームの構造を明確に表現するためのマーカS<sub>m</sub>を生成し、可変長符号化部123に出力する。

【0037】

可変長符号化部123は、DCT・量子化部121より入力されるDCT係数S<sub>q</sub>を可変長符号化し、得られた可変長符号化データと付加ビットデータおよびマーカ発生部122より入力されるマーカS<sub>m</sub>を、8ビット単位の符号化ビットストリームS<sub>d</sub>に変換して、JPEG処理部109より出力する。

【0038】

この可変長符号化部123の構成を図3に示す。

図3は、可変長符号化部123の構成を示すブロック図である。

可変長符号化部123は、可変長符号算出部131、可変長符号テーブル13

2、ビットストリーム生成部133を有する。

【0039】

可変長符号算出部131は、DCT・量子化部121より入力される量子化後のDCT係数 $S_q$ に基づいて、可変長符号テーブル132を参照して、DCT係数の大きさに対応する可変長符号化データと、その可変長符号化データの符号長データを検出する。また、そのDCT係数の大きさから付加ビットデータと、その付加ビットデータのデータ長データを検出する。これら検出された可変長符号化データ $S_c$ 、付加ビットデータ $S_a$ 、可変長符号化データ長データ $S_{cL}$ 、付加ビットデータ長データ $S_{aL}$ は、各々ビットストリーム生成部133に出力される。

なお、可変長符号化データ $S_c$ は2～16ビットのデータであり、付加ビットデータ $S_a$ は0～11ビットのデータである。したがって、各データ長は、5ビットおよび4ビットのデータとなる。

【0040】

可変長符号テーブル132は、可変長符号化を行なうための符号化テーブルである。

【0041】

ビットストリーム生成部133は、可変長符号算出部131より入力される可変長データである可変長符号化データ $S_c$ および付加ビットデータ $S_a$ を、同じく可変長符号算出部131より入力される可変長符号化データ長データ $S_{cL}$ および付加ビットデータ長データ $S_{aL}$ を参照して、8ビット固定長の1つのデータの列に変換し、さらにマーカ発生部122より入力されたマーカ $S_m$ を付加して、符号化ビットストリーム $S_d$ として出力する。

【0042】

JPEG処理部109のJPEG制御レジスタ124は、DCT・量子化部121および可変長符号化部123の動作を制御するデータ、パラメータなどが設定されるレジスタであり、CPU115により、CPU I/F112を介して設定される。

JPEGコントローラ125は、JPEG制御レジスタ124に設定されてい

るデータ、パラメータなどに基づいて、DCT、量子化、マーカ発生、可変長符号化およびビットストリーム生成などの処理が適切に行なわれるように、DCT・量子化部121、マーカ発生部122および可変長符号化部123の動作を制御する。

#### 【0043】

このような構成のJPEG処理部109においては、CPU115からJPEG制御レジスタ124に動作条件などが設定され、これによりJPEGコントローラ125によってDCT・量子化部121および可変長符号化部123が制御され、処理が行なわれる。

すなわち、順次入力される8×8画素ごとの画像データSvを、DCT・量子化部121においてDCTし、量子化する。

量子化されたDCT係数Sqは、可変長符号化部123の可変長符号算出部131において可変長符号化され、可変長符号化データScおよび付加ビットデータSaが生成される。

そして、各々可変長データであるこの可変長符号化データScおよび付加ビットデータSaが、ビットストリーム生成部133において8ビット固定長のデータの列に変換されて、JPEG符号化データストリームSdとして出力される。

#### 【0044】

##### 〔ビットストリーム生成部133〕

次に、上述したJPEG処理部109の、本発明に関わる、可変長符号化部123のビットストリーム生成部133について、図4～図13を参照して詳細に説明する。

#### 【0045】

まず、図4に示すビットストリーム生成部133の構成について説明する。

図4は、可変長符号化部123のビットストリーム生成部133の構成を説明するための概略的な構成図である。

ビットストリーム生成部133は、結合部1、データ選択部2、データ結合部3、出力部4、フィルビット付加部5、データ長加算部6、データ長選択部7およびデータ長処理部8を有する。

なお、結合部 1 は、本発明の可変長データ結合手段の一実施形態である。

データ選択部 2 は、本発明のデータ選択手段の一実施形態である。

データ結合部 3 は、本発明のデータ結合手段の一実施形態である。

出力部 4 は、本発明のデータ出力手段の一実施形態である。

フィルビット付加部 5 は、本発明のデータ付加部の一実施形態である。

データ長加算部 6 は、本発明のデータ長生成手段の一実施形態である。

データ長選択部 7 は、本発明のデータ長選択手段の一実施形態である。

データ長処理部 8 は、本発明のデータ長処理手段の一実施形態である。

#### 【0046】

結合部 1 は、可変長符号算出部 131 から入力した 16 ビットの可変長符号化データ  $S_c$  と 11 ビットの付加ビットデータ  $S_a$  とを結合して 27 ビットのデータを生成し、データ選択部 2 に出力する。

#### 【0047】

この 27 ビットの結合データは、例えば、結合部 1 に含まれている図示しないシフト回路と OR 回路によって、可変長符号化データ  $S_c$  と付加ビットデータ  $S_a$  とが MSB 側に詰められた状態となるように生成される。この場合、シフト回路に設定されるビットシフト数は、データに同期して入力されるデータ長の情報（可変長符号化データ長データ  $S_{cL}$  または付加ビットデータ長データ  $S_{aL}$ ）に基づいて設定される。

例えば、ともに MSB 詰めのデータとして入力される可変長符号化データ  $S_c$  および付加ビットデータ  $S_a$  が、可変長符号化データ  $S_c$  が上位となるように MSB 側へ詰められて結合される場合には、まずシフト回路によって、付加ビットデータ  $S_a$  が可変長符号化データ長データ  $S_{cL}$  だけ LSB 側にビットシフトされる。次に、このシフトされたデータと MSB 詰めの可変長符号化データ  $S_c$  とが OR 回路によって合成される。これにより、MSB 詰めにされた 27 ビットの結合データが生成される。

#### 【0048】

データ選択部 2 は、結合部 1 において可変長符号化データ  $S_c$  と付加ビットデータ  $S_a$  とが結合された 27 ビットの結合データ  $S_{21}$ 、または 16 ビットのマ

ーカ  $S_m$  を選択信号  $SEL$  に応じて選択し、データ結合部 3 に出力するブロックである。図 4 の例においてセレクタ 2 1 およびレジスタ 2 2 を有している。

セレクタ 2 1 は、結合部 1 による 2 7 ビットの結合データ、またはマーカ  $S_m$  を選択信号  $SEL$  に応じて選択しデータ結合部 3 に出力する。

またレジスタ 2 2 は、セレクタ 2 1 において選択されたデータ  $S_{21}$  を図示しない所定のシステムクロックに同期して保持し、データ結合部 3 に出力する。ただし、イネーブル信号  $EN$  が無効になった場合には、セレクタ 2 1 からの新しいデータの入力を停止する。

#### 【 0 0 4 9 】

データ結合部 3 は、データ選択部 2 において選択された 2 7 ビットのデータ  $S_2$  と、フィルビット付加部 5 から帰還されるデータ  $S_5$  とを結合して 5 8 ビットの結合データを生成し、これを出力部 4 に出力するブロックである。図 4 の例において結合部 3 1 およびレジスタ 3 2 を有している。

#### 【 0 0 5 0 】

結合部 3 1 は、データ選択部 2 において選択された 2 7 ビットのデータ  $S_{22}$  と、フィルビット付加部 5 から帰還されるデータ  $S_5$  とを結合して 5 8 ビットの結合データを生成し、これをレジスタ 3 2 に出力する。

この 5 8 ビットの結合データは、例えば、結合部 3 1 に含まれている図示しないシフト回路と OR 回路によって、データ選択部 2 からのデータ  $S_{22}$  とフィルビット付加部 5 からの帰還データ  $S_5$  とが MSB 側に詰められた状態となるように生成される。この場合、シフト回路に設定されるビットシフト数は、フィルビット付加部 5 から帰還されるデータ  $S_5$  のデータ長（後述する帰還データ長生成部 8 2 の出力データ  $S_{82}$ ）に基づいて設定される。

#### 【 0 0 5 1 】

レジスタ 3 2 は、結合部 3 1 において生成された 5 8 ビットの結合データを上述したシステムクロックに同期して保持し、これを出力部 4 に出力する。

#### 【 0 0 5 2 】

出力部 4 は、後述するデータ処理部 8 において計算された結合データ  $S_3$  のデータ長  $S_{tL}$  が 3 2 ビットに達している場合、MSB 側の 3 2 ビット分のデータ

をビットストリーム  $S_{out}$  として出力し、残りの  $LSB$  側のデータを帰還データ  $S_4$  としてフィルビット付加部 5 に出力する。なお、このときの帰還データ  $S_4$  のデータ長は、データ長  $S_{tL}$  から 32 ビット長分を減算したデータ長になる。

また、データ長  $S_{tL}$  が 32 ビットに達していない場合は、 $MSB$  側の 31 ビット分のデータを帰還データ  $S_4$  としてそのままフィルビット付加部 5 に出力する。

#### 【0053】

フィルビット付加部 5 は、イネーブル信号  $EN$  が有効の場合、すなわち可変長符号化データ  $S_c$  および付加ビットデータ  $S_a$  の結合データがレジスタ 22 に入力されている場合には、出力部 4 からの帰還データ  $S_4$  をそのまま帰還データ  $S_5$  としてデータ結合部 3 に出力する。また、イネーブル信号  $EN$  が無効の場合には、データ長処理部 8 において計算された結合データ  $S_3$  のデータ長  $S_{tL}$  に基づいてフィルビットを生成し、これを出力部 4 からの帰還データ  $S_4$  の  $LSB$  側に付加する。このフィルビットを付加されたデータが、帰還データ  $S_5$  としてデータ結合部 3 に出力される。また、このとき生成したフィルビットのデータ長  $S_{bL}$  をデータ長処理部 8 に出力する。

なお、このフィルビット付加部 5 のさらに詳細な構成については後で説明する。

#### 【0054】

データ長加算部 6 は、可変長符号化データ  $S_c$  および付加ビットデータ  $S_a$  にそれぞれ対応したデータ長の情報である可変長符号化データ長データ  $S_{cL}$  および付加ビットデータ長データ  $S_{aL}$  を加算し、この加算結果をデータ長選択部 7 に出力する。したがって、データ長加算部 6 による加算結果のデータ長は、結合部 1 による結合データのデータ長と等しい。

#### 【0055】

データ長選択部 7 は、データ長加算部 6 の加算結果のデータ長、または入力されるマーカ  $S_m$  のデータ長  $S_{mL}$  を選択信号  $SEL$  に応じて選択し、選択したデータ長をデータ長処理部 8 に出力する。なお、 $JPEG$  においてマーカ  $S_m$  のデ



ータ長  $S_{mL}$  は通常 16 ビットの固定値である。このデータ長選択部 7 は、図 4 の例において、セクタ 71 およびレジスタ 72 を有している。

#### 【0056】

セクタ 71 は、データ長加算部 6 の加算結果のデータ長、または入力されるマーカ  $S_m$  のデータ長  $S_{mL}$  を選択信号  $S_{EL}$  に応じて選択し、選択したデータ長をレジスタ 72 に出力する。

レジスタ 72 は、セクタ 71 において選択されたデータ長をシステムクロックに同期して保持し、データ長処理部 8 に出力する。ただし、イネーブル信号  $E_N$  が無効になった場合には、セクタ 71 からの新しいデータの入力を停止する。

#### 【0057】

データ長処理部 8 は、データ長選択部 7 において選択されたデータ長、およびフィルビット付加部 5 において生成されたフィルビットのデータ長に基づいて、データ結合部 3 から出力部 4 に供給される結合データ  $S_3$  のデータ長  $S_{tL}$  を算出し、これをフィルビット付加部 5 および出力部 4 に出力するブロックである。図 4 の例においては、レジスタ 81、帰還データ長生成部 82、データ長加算部 83、データ長加算部 84 およびセクタ 85 を有する。

#### 【0058】

レジスタ 81 は、セクタ 85 において選択された結合データ長  $S_{85}$  をシステムクロックに同期して保持し、保持されたデータ長を結合データ  $S_3$  のデータ長  $S_{tL}$  として、出力部 4、フィルビット付加部 5 および帰還データ長生成部 82 に出力する。レジスタ 81 には、レジスタ 32 に保持されているデータのうちの、出力部 4 で未だ出力されていない出力待ちデータのデータ長が保持されている。

#### 【0059】

帰還データ長生成部 82 は、フィルビット付加部 5 に入力される出力部 4 からの帰還データ  $S_4$  のデータ長を計算するブロックである。すなわち、データ長  $S_{tL}$  が 32 ビットに達して出力部 4 から 32 ビットのデータ  $S_{out}$  が出力される場合、データ長  $S_{tL}$  から 32 ビット長分を減算したデータ長  $S_{82}$  を生成し

、これをデータ長加算部 83 およびデータ長加算部 84 に出力する。また、データ長  $S_{tL}$  が 32 ビットに達しない場合には、データ長  $S_{tL}$  をそのままデータ長  $S_{82}$  としてデータ長加算部 83 およびデータ長加算部 84 に出力する。

## 【0060】

データ長加算部 83 は、帰還データ長生成部 82 からのデータ長  $S_{82}$  とデータ長選択部 7 において選択されたデータ長とを加算し、この加算結果をセレクタ 85 に出力する。

データ長加算部 84 は、帰還データ長生成部 82 からのデータ長  $S_{82}$  とフィルビット付加部 5 において生成されたフィルビットのデータ長  $S_{bL}$  とを加算し、この加算結果をセレクタ 85 に出力する。

## 【0061】

セレクタ 85 は、イネーブル信号  $EN$  が無効になった場合にデータ長加算部 84 による加算結果のデータ長  $S_{84}$  を選択し、これをレジスタ 81 に出力する。また、イネーブル信号  $EN$  が有効の場合には、データ長加算部 83 による加算結果のデータ長  $S_{83}$  を選択し、これをレジスタ 81 に出力する。

## 【0062】

次に、上述した構成を有するビットストリーム生成部 133 においてビットストリームが生成される動作を説明する。

## 【0063】

まず、選択信号  $SEL$  によって可変長データが選択されている場合について説明する。この場合、データ選択部 2 のセレクタ 21 には選択信号  $SEL$  によって結合部 1 の出力データが選択されており、レジスタ 22 には可変長符号化データ  $S_c$  と付加ビットデータ  $S_a$  とが結合された 27 ビットの結合データが保持されている。またこれに対応して、データ長選択部 7 のセレクタ 71 には選択信号  $SEL$  によってデータ加算部 6 の出力データ長が選択されており、レジスタ 72 には可変長符号化データ長データ  $S_{cL}$  と付加ビットデータ長データ  $S_{aL}$  とが加算されたデータ長が保持されている。すなわち、レジスタ 72 には、レジスタ 22 に保持された結合データのデータ長が保持されている。

## 【0064】

また、入力データとして可変長データが選択されている場合、イネーブル信号 E N は常に有効であるため、フィルビット付加部 5 によるフィルビットの生成と付加動作は停止され、出力部 4 からの帰還データ S 4 はそのまま帰還データ S 5 としてデータ結合部 3 の結合部 3 1 に供給されている。この帰還データ S 5 と、データ選択部 2 において保持された入力の可変長データ S 2 とが結合部 3 1 において結合されて、レジスタ 3 2 に保持されている。

## 【 0 0 6 5 】

また、イネーブル信号 E N が有効であるため、データ長処理部 8 のセクタ 8 5 においてデータ長加算部 8 3 による加算データ長 S 8 3 が選択され、これがレジスタ 8 1 に保持されている。この加算データ長 S 8 3 はデータ選択部 2 のレジスタ 2 2 に保持された可変長データ S 2 のデータ長と、帰還データ長生成部 8 2 において生成された帰還データ S 4 のデータ長 S 8 2 とが加算されたデータであり、レジスタ 3 2 に保持される前の結合データ S 3 1 のデータ長に相当する。

## 【 0 0 6 6 】

この状態で可変長符号化データ S c および付加ビットデータ S a が順次入力されると、データ結合部 3 のレジスタ 3 2 に保持された未出力データのデータ長 S t L が 3 2 ビットに満たない場合、出力部 4 から帰還される未出力の帰還データ S 5 の L S B 側に、レジスタ 2 2 の可変長データ S 2 の M S B 側が結合され、この結合データがレジスタ 3 2 に順次保持される。また、データ長処理部 8 のレジスタ 8 1 には、レジスタ 7 2 に入力される可変長データ S 2 のデータ長が順次積算されて保持される。したがって、未出力データのデータ長 S t L は可変長データ（可変長符号化データ S c、付加ビットデータ S a）の入力とともに長くなる。

## 【 0 0 6 7 】

そしてこの未出力データ長 S t L が 3 2 ビットに達すると、レジスタ 3 2 に保持された未出力データの M S B 側 3 2 ビットは出力部 4 から出力データ S o u t として出力され、残りの L S B 側 2 6 ビットはフィルビット付加部 5 に帰還される。また、データ長処理部 8 の帰還データ長生成部 8 2 においては、未出力データのデータ長 S t L から出力データ長（3 2 ビット）が減算される。したがって

、未出力データ長  $S_{tL}$  が 32 ビットに達して出力部 4 から 32 ビットづつデータが出力される度に、未出力データのデータ長  $S_{tL}$  は 32 ビットづつ短くなる。

#### 【0068】

このように、順次入力される可変長符号化データ  $S_c$  および付加ビットデータ  $S_a$  はデータ結合部 3 において順次結合されて保持され、この保持されたデータの MSB 側 32 ビットのデータが出力部 4 から順次出力される。

出力部 4 から出力される 32 ビットのビットストリーム  $S_{out}$  は、さらにビットストリーム生成回路 133 の図示しない回路によって 8 ビットのビットストリームに変換されて、画像圧縮部 104 のバス 106 に順次出力される。例えば、システムクロックの 4 倍の周波数を有するクロックに同期して動作するセクタ回路によりこの生成された 32 ビットから 8 ビットづつのデータを順次選択し、選択されたデータを 8 ビットのレジスタに順次保持して出力することにより、8 ビットのビットストリームが得られる。

#### 【0069】

次に、選択信号  $SEL$  が変化して入力データが可変長データからマーカ  $S_m$  に切り換えられる場合について説明する。この場合、データ選択部 2 のセクタ 21 においてはマーカ  $S_m$  が選択されてレジスタ 22 に保持される。また、データ長選択部 7 のセクタ 71 においてはマーカ  $S_m$  のデータ長  $S_{mL}$  が選択されてレジスタ 72 に保持される。すなわち、レジスタ 22 にはマーカ  $S_m$  が保持され、レジスタ 72 にはマーカ  $S_m$  のデータ長  $S_{mL}$  が保持される。

#### 【0070】

この選択信号  $SEL$  の変化に応じてイネーブル信号  $EN$  が無効になると、フィルビット付加部 5 において未出力データ長  $S_{tL}$  に応じたデータ長のフィルビットが生成されて帰還データ  $S_4$  の LSB 側に付加されるとともに、このフィルビット長  $S_{bL}$  がデータ長処理部 8 のデータ長加算部 84 に出力される。また、データ長処理部 8 のセクタ 85 において、このフィルビット長  $S_{bL}$  と帰還データ長  $S_8$  とが加算された加算データ長  $S_8$  が選択され、これがレジスタ 81 に保持される。また、イネーブル信号  $EN$  が無効なので、レジスタ 22 およびレ

レジスタ 7 2 による新たなデータの保持が停止される。すなわち、レジスタ 2 2 のマーカ S m およびレジスタ 7 2 のデータ長 S m L はそのまま保持され続ける。

## 【 0 0 7 1 】

こうして一旦フィルビットが帰還データ S 4 に付加されると、レジスタ 3 2 に保持される未出力データ長 S t L は 1 バイトの整数倍のデータ長になり、この後のクロックサイクルで生成されるフィルビット長 S b L はゼロになる。したがって、レジスタ 8 1 に保持される未出力データ長 S t L は一定となる。

また、レジスタ 2 2 に保持されたマーカ S m は、フィルビット付加部 5 において付加されたフィルビットの末尾に結合されてレジスタ 3 2 に保持されるが、未出力データ長 S t L にマーカ S m のデータ長 S m L が加算されていないためマーカ S m の部分は未出力データの範囲に含まれない。したがって、この部分が出力部 4 から出力されることはない。

## 【 0 0 7 2 】

ここで、再び選択信号 S E L による入力データの選択がマーカ S m から可変長データに切り換わり、これに応じてイネーブル信号 E N が有効状態に戻ると、停止されていたレジスタ 2 2 およびレジスタ 7 2 による新たなデータの保持が再開される。

また、レジスタ 8 1 には未出力データ長 S t L にマーカデータ長 S m L が加算されたデータ長が保持されるので、フィルビットの末尾に結合されたマーカ S m を含む結合データ S 3 が出力部 4 による出力対象のデータとなる。

以降、可変長データの結合と 3 2 ビットデータの出力によるビットストリームの上述した生成動作が反復される。

## 【 0 0 7 3 】

ここで、上述したビットストリームの生成動作の具体例について、図 5 および図 6 を参照しながら説明する。図 5 は、システムクロックに対する選択信号 S E L およびイネーブル信号 E N のタイミング例を示すタイミング図である。また図 6 は、図 5 に示すタイミング図の時刻 T 1 ～時刻 T 4 においてレジスタ 2 2 およびレジスタ 3 2 に保持されるデータの例を示す図である。

なお、図 5 の例においては選択信号 S E L がハイレベルの場合にマーカ S m が

選択され、ローレベルの場合に可変長データが選択される。イネーブル信号 E N は、ハイレベルの場合に有効となり、ローレベルの場合に無効となる。また、図 4 の各レジスタには、システムクロック C L K の立ち上がり同期してデータが保持される。

## 【 0 0 7 4 】

時刻 T 1 :

セクタ 2 1 において可変長データが選択されており、結合部 1 からの 1 1 ビットの可変長データがレジスタ 2 2 に保持される。またレジスタ 3 2 には 7 ビットの未出力データが保持される。

## 【 0 0 7 5 】

時刻 T 2 :

選択信号 S E L がハイレベルとなり、セクタ 2 1 において 1 6 ビットのマーカ S m が選択されてレジスタ 2 2 に保持される。また、時刻 T 1 にレジスタ 2 2 に保持されていた 1 1 ビットの可変長データが 7 ビットの未出力データの L S B 側に結合されて、レジスタ 3 2 に保持される。

## 【 0 0 7 6 】

時刻 T 3 :

選択信号 S E L がハイレベルとなり、レジスタ 2 2 には結合部 1 からの出力データが選択されているが、イネーブル信号 E N が無効となっているため、レジスタ 2 2 に保持されたマーカ S m はそのまま保持され続ける。

また、イネーブル信号 E N が無効であるためフィルビット付加部 5 におけるフィルビットの生成および付加動作が有効となり、レジスタ 3 2 に保持された未出力データのデータ長 1 8 ビット ( 7 ビット + 1 1 ビット ) に応じた 6 ビットのフィルビットが生成される。未出力データのデータ長は 3 2 ビットに達していないので、この未出力データはそのまま帰還データ S 4 としてフィルビット付加部 5 に帰還され、L S B 側に 6 ビットのフィルビットが付加される。これにより 2 4 ビットの帰還データ S 5 が生成されて、結合部 3 1 に入力される。この 2 4 ビットの帰還データ S 5 は M S B 側に詰められて結合部 3 1 から出力され、そのままレジスタ 3 2 に保持される。

## 【 0 0 7 7 】

時刻 T 4 :

イネーブル信号 E N が有効となりレジスタ 2 2 の保持動作が再開されることにより、結合部 1 からの 2 0 ビットの可変データがクロックの立ち上がり同期してレジスタ 2 2 に保持される。

また、レジスタ 2 2 に保持されていた 1 6 ビットのマーカ S m は、結合部 3 1 において 2 4 ビットの帰還データ S 5 の L S B 側に結合されてレジスタ 3 2 に保持される。

## 【 0 0 7 8 】

このように、6 ビットのフィルビットがフィルビット付加部 5 において未出力データの末尾側に付加されることにより、マーカ S m のデータ境界はビットストリームのバイト境界と一致する。

## 【 0 0 7 9 】

〔フィルビット付加部 5〕

次に、上述したビットストリーム生成部 1 3 3 のフィルビット付加部 5 について、図 7 ～ 図 1 3 を参照して詳細に説明する。

## 【 0 0 8 0 】

図 7 は、図 4 に示したフィルビット付加部 5 を説明するための概略的な構成図であり、この図においてフィルビット付加部 5 は、フィルビット長生成部 5 1、フィルビット生成部および結合部 5 3 を有する。

なお、フィルビット長生成部 5 1 は、本発明の調整データ長設定手段の一実施形態である。

フィルビット生成部 5 2 は、本発明の調整データ生成手段の一実施形態である。

結合部 5 3 は、本発明の付加手段の一実施形態である。

## 【 0 0 8 1 】

結合部 5 3 は、出力部 4 から入力した帰還データ S 4 の L S B 側にフィルビット生成部 5 2 で生成されたフィルビット S b を付加し、全体を M S B 側に詰めた 3 2 ビットの帰還データ S 5 を生成する。

帰還データ S 4 は M S B 側に詰められているので、例えば、結合部 5 3 に含まれている図示しないシフト回路によりフィルビット S b を M S B から帰還データ S 4 のデータ長 S t L だけ L S B 側にビットシフトさせ、このシフトされたフィルビット S b と帰還データ S 4 とを図示しない O R 回路により合成することで、フィルビット S b が付加された帰還データ S 5 を生成することができる。

## 【 0 0 8 2 】

フィルビット長生成部 5 1 は、データ長処理部 8 において計算された未出力データ長 S t L の下位 3 ビットに応じてフィルビットのデータ長 S b L を生成し、これをフィルビット生成部 5 2 およびデータ長処理部 8 のデータ長加算部 8 4 に出力する。

## 【 0 0 8 3 】

図 8 は、図 7 に示したフィルビット長生成部 5 1 の一例を説明するための概略的な構成図であり、この図においてフィルビット長生成部 5 1 は、3 ビット入力の N O T 回路 5 1 1 および加算部 5 1 2 を有している。

このフィルビット長生成部 5 1 においては、未出力データ長 S t L の下位 3 ビットが N O T 回路 5 1 1 において各ビットごとにビット値が反転されており、さらに反転後のデータの最下位ビットに値 " 1 " のデータが加算されて、3 ビットのフィルビット長 S b L が生成されている。

ただし、イネーブル信号 E N が有効の場合には、図示しないゲート回路等によってフィルビット長は強制的にゼロに設定されるため、後述のフィルビット生成部 5 2 においてフィルビットは生成されない。したがって、上述した結合部 5 3 に入力される帰還データ S 4 はそのまま帰還データ S 5 としてデータ結合部 3 に出力される。

## 【 0 0 8 4 】

図 9 は、未出力データ長 S t L とフィルビット長 S b L との対応例を示す図である。図 9 から分かるように、未出力データ長 S t L の下位 3 ビットが値 " 0 0 0 " の場合はフィルビットの挿入が必要なく、またフィルビットが挿入必要な場合には、未出力データ長 S t L の下位 3 ビットにフィルビット長 S b L が加算された結果が値 " 1 0 0 0 " となるように、フィルビット長 S b L が設定されてい



る。したがって、値“1000”から未出力データ長 $S_t L$ の下位3ビットが減算されることによってフィルビット長 $S_b L$ が得られることになり、これは値“111”からの減算結果に値“1”が加算された結果と等しくなる。すなわち、未出力データ長 $S_t L$ の下位3ビットがビット反転された結果に値“1”が加算される図8のフィルビット長生成部51によって、フィルビット長 $S_b L$ が生成される。

## 【0085】

なお、図8に示すフィルビット長生成部は一例であり、他の構成も可能である。より一般的な例として、例えば未出力データ長 $S_t L$ を境界の単位となるデータ長（バイト境界の場合には8ビット）で除した商を計算し、この計算結果と当該単位データ長との差分としてフィルビット長を求めることもできる。

以上がフィルビット長生成部51の説明である。

## 【0086】

次に図7のフィルビット生成部52について説明する。

フィルビット生成部52は、フィルビット長生成部51において生成されたフィルビット長 $S_b L$ に応じてMSB詰めにされたフィルビットを生成し、これを結合部53に入力する。

## 【0087】

図10は、図7に示したフィルビット生成部の一例を説明するための概略的な構成図であり、この図においてフィルビット生成部52はセレクタ521を有する。

図11に示すように、フィルビット長（0ビット～7ビット）とMSB詰めにされた8種類のフィルビットとは一対一に対応している。この8種類のフィルビットがセレクタ521に入力されており、フィルビット長 $S_b L$ に応じてこれらのフィルビットから対応するフィルビットが選択され、結合部53に出力される。

## 【0088】

図12は、図7に示したフィルビット生成部の他の例を説明するための概略的な構成図であり、この図においてフィルビット生成部52'は、セレクタ521

、およびデータ生成部 5 2 2' ~ データ生成部 5 2 5' を有する。

【0089】

データ生成部 5 2 2' ~ データ生成部 5 2 5' は、フィルビット長  $S_b L$  の最下位ビット  $F_0$ 、第 1 ビット  $F_1$  の値に応じた 2 ビットのデータ  $F_1 v$ 、および第 2 ビット  $F_2$  の値に応じた 4 ビットのデータ  $F_2 v$  をそれぞれ所定の順序で結合して 7 ビットのデータを生成し、これをセレクタ 5 2 1' に出力する。

セレクタ 5 2 1' は、データ生成部 5 2 2' ~ データ生成部 5 2 5' の生成データから、フィルビット長  $S_b L$  の上位 2 ビットのデータに応じて一のデータを選択し、フィルビット  $S_b$  として出力する。

【0090】

図 1 3 は、図 1 2 に示したフィルビット生成部 5 2' において生成されるフィルビットとフィルビット長との対応例を示す図である。フィルビット長  $S_b L$  のビット  $F_1$  に対応する 2 ビットのデータ  $F_1 v$  は、ビット  $F_1$  を 2 ビット分連ねたデータとして生成され、ビット  $F_2$  に対応する 4 ビットのデータ  $F_2 v$  は、ビット  $F_2$  を 4 ビット分連ねたデータとして生成される。

【0091】

このデータ  $F_1 v$ 、データ  $F_2 v$  およびビット  $F_0$  が  $\{F_0, F_1 v, F_2 v\}$ 、 $\{F_1 v, F_0, F_2 v\}$ 、 $\{F_2 v, F_0, F_1 v\}$  および  $\{F_2 v, F_1 v, F_0\}$  という 4 通りの組み合わせで結合されることにより、MSB 詰めにされた 7 ビットのフィルビットを図 1 1 と同じ対応関係で生成することができる。また、これらの 4 通りの組み合わせは、それぞれフィルビット長  $S_b L$  の上位 2 ビットのデータ（ビット  $F_1$  およびビット  $F_2$ ）と一対一に対応しているので、この 2 ビットのデータを使って 4 通りの組み合わせのうちの 1 つを選択することにより、図 1 1 と同じ対応関係で、フィルビット長  $S_b L$  からフィルビット  $S_b$  を生成することができる。

図 1 2 に示したフィルビット生成部 5 2' は、図 1 0 のフィルビット生成部 5 2 に比べてセレクタ回路で選択されるデータの数が半分になるので、フィルビット生成部 5 2 より回路規模を小さくすることができる。

【0092】

以上説明したように、第 1 の実施の形態の図 4 に示すビットストリーム生成部 1 3 3 によれば、データ結合部 3 において結合されたデータで未出力のデータのデータ長  $S_{tL}$  が 3 2 ビットに達した場合、当該未出力データの上記  $MSB$  側から 3 2 ビット分のデータが出力部 4 において出力され、当該出力後の残りのデータが帰還データ  $S_4$  としてフィルビット付加部 5 に出力される。また、未出力データのデータ長が 3 2 ビットに達しない場合は、この未出力データがそのまま帰還データ  $S_4$  としてフィルビット付加部 5 に出力される。選択信号  $SEL$  に応じて選択された入力データが可変長データの場合、フィルビット付加部 5 に入力された帰還データ  $S_4$  はそのまま帰還データ  $S_5$  としてデータ結合部 3 に出力され、選択信号  $SEL$  に応じて選択された入力データがマーカ  $S_m$  の場合には、帰還データ  $S_4$  のデータ長  $S_{tL}$  と 1 バイトの整数倍のデータ長との差分のデータ長を有するフィルビット  $S_b$  がフィルビット付加部 5 において生成され、帰還データ  $S_4$  の  $LSB$  側に付加された後、帰還データ  $S_5$  としてデータ結合部 3 に出力される。データ結合部 3 においては、帰還データ  $S_5$  の  $LSB$  側にデータ選択部 2 からの入力データの  $MSB$  が結合されて、出力部 4 に供給される。したがって、システムクロックに同期して順次入力される可変長データは、同じシステムクロックに同期して順次 3 2 ビットのデータに変換されるとともに、マーカ  $S_m$  が挿入される場合にも、フィルビットの生成および付加動作による 1 クロックの待ち時間が発生するだけなので、例えばソフトウェアにより同一の機能を実現させる場合に比べて、フィルビットの挿入処理を含むビットストリーム生成処理を大幅に効率化できる。

【 0 0 9 3 】

## 第 2 の実施の形態

次に、本発明に係る第 2 の実施の形態について、図 1 4 ～図 1 7 を参照して説明する。

上述した第 1 の実施の形態においては、フィルビットの生成および付加動作が行われる場合に、イネーブル信号  $EN$  を受けたレジスタ 2 2 およびレジスタ 7 2 において新しいデータの入力が停止される。このため、データの入力に少なくとも 1 クロックの待ち時間が発生してしまう問題がある。本実施の形態は、この待

ち時間を発生することなしにフィルビットの生成および付加動作を実行できるものである。

【 0 0 9 4 】

本実施の形態のカメラシステムの全体の構成および動作、その J P E G 処理部の内部構成および動作、および、その可変長符号化部の構成については、図 1 ～ 図 3 を参照して上述した第 1 の実施の形態のカメラシステム 1 0 0 と同じなので、その説明は省略する。

以後、本実施の形態の特徴である、可変長符号化部 1 2 3 のビットストリーム生成部 1 3 3' について説明する。

【 0 0 9 5 】

〔ビットストリーム生成部 1 3 3' 〕

まず、ビットストリーム生成部 1 3 3' の構成について図 1 4 を参照して説明する。

図 1 4 は、本発明に係る第 2 の実施の形態のビットストリーム生成部 1 3 3' を説明するための概略的な構成図である。ビットストリーム生成部 1 3 3' は、結合部 1、データ選択部 2'、データ結合部 3、出力部 4、フィルビット付加部 5'、データ長加算部 6、データ長選択部 7'、データ長処理部 8' およびデータ長加算部 9 を有する。ただし、図 4 と図 1 4 の同一符号は同一の構成要素を示している。

また、フィルビット付加部 5' は、本発明のデータ付加部の一実施形態である。

データ長加算部 6 は、本発明の第 1 のデータ長生成手段の一実施形態である。

データ長処理部 8' は、本発明のデータ長処理手段の一実施形態である。

データ長加算部 9 は、本発明の第 2 のデータ長生成手段の一実施形態である。

【 0 0 9 6 】

結合部 1 は、可変長符号算出部 1 3 1 から入力した 1 6 ビットの可変長符号化データ S c と 1 1 ビットの付加ビットデータ S a とを結合して 2 7 ビットのデータを生成し、データ選択部 2' に出力する。

【 0 0 9 7 】

データ選択部 2' は、結合部 1 において可変長符号化データ  $S_c$  と付加ビットデータ  $S_a$  とが結合された 27 ビットの結合データ  $S_{21}$ 、または後述するフィルビット付加部 5' においてフィルビットが付加されたマーカ  $S_m'$  を選択信号  $SEL$  に応じて選択し、データ結合部 3 に出力する。

図 4 におけるデータ選択部 2 との違いは、レジスタ 22' がイネーブル信号  $E_N$  に応じてデータの入力を停止されないことにある。

#### 【0098】

データ結合部 3 は、データ選択部 2 において選択された 27 ビットのデータ  $S_2$  と、出力部 4 から帰還されるデータ  $S_4$  とを結合して 58 ビットの結合データを生成し、これを出力部 4 に出力する。

#### 【0099】

出力部 4 は、後述するデータ長処理部 8' において計算された結合データ  $S_3$  のデータ長  $S_{tL}$  が 32 ビットに達している場合、MSB 側の 32 ビット分のデータをビットストリーム  $S_{out}$  として出力し、残りの LSB 側のデータを帰還データ  $S_4$  としてデータ結合部 3 に帰還する。なお、このときの帰還データ  $S_4$  のデータ長は、データ長  $S_{tL}$  から 32 ビット長分を減算したデータ長になる。

また、データ長  $S_{tL}$  が 32 ビットに達していない場合は、MSB 側の 31 ビット分のデータを帰還データ  $S_4$  としてデータ結合部 3 に帰還する。

#### 【0100】

フィルビット付加部 5' は、データ長処理部 8' において計算された結合部 3 1 の結合データ  $S_{31}$  のデータ長  $S_{kL}$  に基づいてフィルビットを生成し、入力される 16 ビットのマーカ  $S_m$  の MSB 側に付加する。このフィルビットを付加されたデータが、マーカ  $S_m'$  としてデータ選択部 2 に出力される。また、このとき生成したフィルビットのデータ長  $S_{bL}$  をデータ長加算部 9 に出力する。

#### 【0101】

図 15 は、このフィルビット付加部 5' を説明するための概略的な構成図であり、この図においてフィルビット付加部 5' は、フィルビット長生成部 51'、フィルビット生成部 52 および結合部 53' を有している。ただし、図 7 と図 15 の同一符号は同一の構成要素を示している。

図 7 に示すフィルビット付加部 5 では、結合部 5 3 において、入力される帰還データ S 4 の L S B 側にフィルビットが付加されるのに対して、図 1 5 に示すフィルビット付加部 5' の結合部 5 3' では、入力されるマーカ S m の M S B 側にフィルビットが付加される。またフィルビット長生成部 5 1' はイネーブル信号 E N に応じて出力値が制御されなくなる。これら点においてフィルビット付加部 5 とフィルビット付加部 5' とは異なっているが、その他の構成（フィルビット生成部 5 2）については同一である。

## 【 0 1 0 2 】

データ長加算部 6 は、可変長符号化データ S c および付加ビットデータ S a にそれぞれ対応したデータ長の情報である可変長符号化データ長データ S c L および付加ビットデータ長データ S a L を加算し、この加算結果をデータ長選択部 7' に出力する。したがって、データ長加算部 6 による加算結果のデータ長は、結合部 1 による結合データのデータ長と等しい。

## 【 0 1 0 3 】

データ長加算部 9 は、マーカ S m およびフィルビット S b にそれぞれ対応したデータ長の情報であるマーカ S m L およびフィルビット長 S b L を加算し、この加算結果をデータ長選択部 7' に出力する。したがって、データ長加算部 9 による加算結果のデータ長は、フィルビット付加部 5' においてマーカ S m にフィルビット S b が付加されたマーカ S m' のデータ長と等しい。

## 【 0 1 0 4 】

データ長選択部 7' は、データ長加算部 6 の加算結果のデータ長、またはデータ長加算部 9 の加算結果のデータ長を選択信号 S E L に応じて選択してデータ長処理部 8' に出力する。

図 4 におけるデータ長選択部 7 との違いは、レジスタ 7 2' がイネーブル信号 E N に応じてデータの入力を停止されないことにある。

## 【 0 1 0 5 】

データ長処理部 8' は、データ長選択部 7' において選択されたデータ長に基づいて、データ結合部 3 から出力部 4 に供給される結合データ S 3 のデータ長 S t L を算出し、これを出力部 4 に出力する。またデータ結合部 3 の結合部 3 1 に

おけるデータ長  $S_t L$  をフィルビット付加部 5' に出力する。

図 1 4 に示すデータ長処理部 8' は、データ長加算部 8 4 およびセレクタ 8 5 が削除され、データ長加算部 8 3 の加算結果がそのままレジスタ 8 1 に出力されている点において図 4 に示すデータ長処理部 8 と異なっているが、その他の各構成（レジスタ 8 1、帰還データ長生成部 8 2、データ長加算部 8 3）についてはデータ長処理部 8 と同一である。

#### 【0 1 0 6】

次に、上述した構成を有するビットストリーム生成部 1 3 3' においてビットストリームが生成される動作を説明する。

#### 【0 1 0 7】

まず、選択信号  $S E L$  によって可変長データが選択されている場合について説明する。この場合、データ選択部 2' のセレクタ 2 1 には選択信号  $S E L$  によって結合部 1 の出力データが選択されており、レジスタ 2 2' には可変長符号化データ  $S c$  と付加ビットデータ  $S a$  とが結合された 2 7 ビットの結合データが保持されている。またこれに対応して、データ長選択部 7' のセレクタ 7 1 には選択信号  $S E L$  によってデータ加算部 6 の出力データ長が選択されており、レジスタ 7 2' には可変長符号化データ長データ  $S c L$  と付加ビットデータ長データ  $S a L$  とが加算されたデータ長が保持されている。すなわち、レジスタ 7 2' には、レジスタ 2 2' に保持された結合データのデータ長が保持されている。

#### 【0 1 0 8】

この状態で可変長符号化データ  $S c$  および付加ビットデータ  $S a$  が順次入力されると、データ結合部 3 のレジスタ 3 2 に保持された未出力データのデータ長  $S_t L$  が 3 2 ビットに満たない場合、出力部 4 から帰還される未出力の帰還データ  $S 4$  の  $L S B$  側に、レジスタ 2 2' の可変長データ  $S 2$  の  $M S B$  側が結合され、この結合データがレジスタ 3 2 に順次保持される。また、データ長処理部 8' のレジスタ 8 1 には、レジスタ 7 2' に入力される可変長データ  $S 2$  のデータ長が順次積算されて保持される。したがって、未出力データのデータ長  $S_t L$  は可変長データ（可変長符号化データ  $S c$ 、付加ビットデータ  $S a$ ）の入力とともに長くなる。

## 【0109】

そしてこの未出力データ長  $S_{tL}$  が 32 ビットに達すると、レジスタ 32 に保持された未出力データの MSB 側 32 ビットは出力部 4 から出力データ  $S_{out}$  として出力され、残りの LSB 側 26 ビットはデータ結合部 3 に帰還される。また、データ長処理部 8' の帰還データ長生成部 82 においては未出力データのデータ長  $S_{tL}$  から出力データ長 (32 ビット) が減算される。したがって、未出力データ長  $S_{tL}$  が 32 ビットに達して出力部 4 から 32 ビットずつデータが出力される度に、未出力データのデータ長  $S_{tL}$  は 32 ビットずつ短くなる。

## 【0110】

このように、順次入力される可変長符号化データ  $S_c$  および付加ビットデータ  $S_a$  はデータ結合部 3 において順次結合されて保持され、この保持されたデータの MSB 側 32 ビットのデータが出力部 4 から順次出力される。

出力部 4 から出力される 32 ビットのビットストリーム  $S_{out}$  は、さらにビットストリーム生成回路 133' の図示しない回路によって 8 ビットのビットストリームに変換されて、画像圧縮部 104 のバス 106 に順次出力される。例えば、システムクロックの 4 倍の周波数を有するクロックに同期して動作するセレクタ回路によりこの生成された 32 ビットから 8 ビットずつのデータを順次選択し、選択されたデータを 8 ビットのレジスタに順次保持して出力することにより、8 ビットのビットストリームが得られる。

## 【0111】

次に、選択信号  $S_{EL}$  が変化して入力データが可変長データからマーカ  $S_m$  に切り換えられる場合であるが、この場合、入力されるデータが可変長データからマーカ  $S_m$  に切り換わっただけであるため、上述したデータの結合と出力の動作は入力データが可変長データの場合と同様に行われる。

## 【0112】

図 4 のビットストリーム生成部 133 と図 14 のビットストリーム生成部 133' との違いは、選択信号  $S_{EL}$  の状態に係わらずマーカ  $S_m$  に付加すべきフィルビットが常に生成され、このフィルビットを付加されたマーカ  $S_m'$  がレジスタ 22' に保持される前に確定していることにある。



## 【0 1 1 3】

レジスタ 2 2' に保持される前のマーカ S m に対して付加すべきフィルビット長の値は、帰還データ S 4 のデータ長と、既にレジスタ 2 2' に保持された入力データのデータ長との和（すなわち次のクロックでレジスタ 3 2 に保持される未出力データ S 3 1 のデータ長）が、8 ビット長の整数倍のデータ長に対して有する差分に応じて決定される。したがって、この和のデータ長に相当するデータ加算部 8 3 のデータ長 S k L がフィルビット付加部 5' に供給されると、選択信号 S E L の状態とは無関係に、フィルビット長 S b L およびフィルビット S b が決定される。このため、マーカ S m として挿入すべきデータがシステムクロックに同期してセットされると、次のクロックでレジスタ 2 2' に入力データが保持されるより前に、フィルビット付加部 5' においてフィルビットが付加されたマーカ S m' が生成され、選択信号 S E L に応じてレジスタ 2 2' に供給される。

## 【0 1 1 4】

ここで、上述したビットストリームの生成動作の具体例について、図 1 6 および図 1 7 を参照しながら説明する。図 1 6 は、システムクロックに対する選択信号 S E L のタイミング例を示すタイミング図である。また図 1 7 は、図 1 6 に示すタイミング図の時刻 T 1' ～時刻 T 3' においてレジスタ 2 2' およびレジスタ 3 2 に保持されるデータの例を示す図である。

なお、図 1 6 の例においては選択信号 S E L がハイレベルの場合にマーカ S m が選択され、ローレベルの場合に可変長データが選択される。また、図 1 4 の各レジスタには、システムクロック C L K の立ち上がり同期してデータが保持される。

## 【0 1 1 5】

時刻 T 1' :

セクタ 2 1 において可変長データが選択されており、結合部 1 からの 7 ビットの可変長データがレジスタ 2 2' に保持される。またレジスタ 3 2 には 1 1 ビットの未出力データが保持される。

また、この時刻 T 1' から時刻 T 2' の間において、レジスタ 2 2' に保持された可変長データのデータ長と、レジスタ 3 2 に保持された未出力データのデー

タ長とが加算されたデータ長（7ビット+11ビット=18ビット）がデータ長 S k L としてフィルビット付加部 5' に供給される。フィルビット付加部 5' において、この供給されたデータ長 S k L に基づいて6ビットのフィルビットが生成され、生成されたフィルビットがマーカ S m の M S B 側に付加されてデータ選択部 2' に供給される。

【0 1 1 6】

時刻 T 2' :

選択信号 S E L がハイレベルとなり、セクタ 2 1 においてフィルビット付加部 5' のマーカ S m' が選択されてレジスタ 2 2' に保持される。また、時刻 T 1' においてレジスタ 2 2' に保持されていた7ビットの可変長データが11ビットの未出力データの L S B 側に結合されて、レジスタ 3 2 に保持される。これにより、未出力データのデータ長は18ビットとなる。

【0 1 1 7】

時刻 T 3' :

選択信号 S E L がハイレベルとなり、レジスタ 2 2' には結合部 1 からの14ビットの可変長データが保持される。また、時刻 T 2' にレジスタ 2 2' に保持されていたフィルビットとマーカ S m の結合データは、18ビットの未出力データの L S B 側に結合されて、レジスタ 3 2 に保持される。

【0 1 1 8】

このように、6ビットのフィルビットがフィルビット付加部 5' においてマーカ S m の M S B 側に付加されることにより、マーカ S m のデータ境界はビットストリームのバイト境界と一致する。

【0 1 1 9】

以上説明したように、第2の実施の形態の図14に示すビットストリーム生成部 1 3 3' によれば、データ結合部 3 において結合されたデータで未出力のデータのデータ長 S t L が32ビットに達した場合、当該未出力データの M S B 側から32ビット分のデータが出力部 4 において出力され、当該出力後の残りのデータが帰還データ S 4 としてデータ結合部 3 に出力される。また、未出力データのデータ長が32ビットに達しない場合は、この未出力データがそのまま帰還デ-

タ S 4 としてデータ結合部 3 に出力される。またフィルビット付加部 5' において、入力データ S 2 と帰還データ S 4 のデータ長がデータ長加算部 8 3 において加算されたデータ長 S k L と、1 バイトの整数倍のデータ長との差分のデータ長を有するフィルビット S b が生成される。この生成されたフィルビット S b は、入力されるマーカ S m の M S B 側に付加されてデータ選択部 2' に出力される。データ選択部 2' において、上記フィルビットが付加されたマーカ S m'、または順次入力される可変長データが選択信号 S E L に応じて選択される。データ結合部 3 において、この選択されたデータの M S B 側が帰還データ S 4 の L S B 側に結合されて出力部 4 に供給される。したがって、システムクロックに同期して順次入力される可変長データは、同じシステムクロックに同期して順次 3 2 ビットのデータに変換されるとともに、マーカ S m が挿入される場合において、フィルビットの生成および付加動作による待ち時間が発生しないので、上記した第 1 の実施の形態に比べて、フィルビットの挿入処理を含むビットストリーム生成処理をさらに効率化できる。またビットストリーム生成部 1 3 3' においては、データ長処理部 8 のセレクタ 8 5 やデータ長加算部 8 4 が削除されるので、第 1 の実施の形態に比べて回路規模を小さくすることができる。また、イネーブル信号 E N による制御が不要になるので、制御方法を簡易化できる。

#### 【 0 1 2 0 】

なお、本発明は本実施の形態に限られるものではなく、種々の改変が可能である。

たとえば、図 1 に示したカメラシステム、図 2 に示した J P E G 処理部および図 3 に示した可変長符号化部の構成は、各々これに限られるものではなく、任意の構成でよい。

また、本発明に係る図 4 および図 1 4 に示したビットストリーム生成部の構成や、図 7、図 8、図 1 0、図 1 2 および図 1 5 に示したフィルビット付加部の構成なども、任意に変更してよい。

#### 【 0 1 2 1 】

また、本発明は、J P E G 符号化以外の任意の符号化データや、符号化の結果ではない任意の可変長データに対しても適用可能である。

また、本発明は、J P E G符号化、画像符号化に限定されるものではない。また、カメラシステムにのみ限定されるものではない。可変長符号化処理を含む任意の信号処理装置に対しても適用可能である。

【 0 1 2 2 】

【発明の効果】

このように本発明によれば、フィルビットの挿入処理を効率よく行なうことにより、より小さい回路規模で、簡単な構成、制御により、可変長データの列から所定のビット幅の固定長データの列を生成するデータストリーム生成装置とその方法を提供することができる。

また、フィルビットの挿入処理を効率よく行なうことにより、より小さい回路規模で、簡単な構成、制御により、所望のデータを可変長符号化し効率よく所定のデータストリームを生成する可変長符号化データストリーム生成装置とその方法を提供することができる。

さらに、所望の画像を撮影し、撮影した画像データを可変長符号化するカメラシステムであって、特に、より小さい回路規模で、簡単な構成、制御により、撮影した画像データを可変長符号化し、効率よく画像データストリームを生成するカメラシステムを提供することができる。

【図面の簡単な説明】

【図 1】

本発明に係る第 1 の実施の形態のカメラシステムを説明するための概略的な構成図である。

【図 2】

図 1 に示したカメラシステムの J P E G 処理部を説明するための概略的な構成図である。

【図 3】

図 2 に示した J P E G 処理部の可変長符号化部を説明するための概略的な構成図である。

【図 4】

図 3 に示した可変長符号化部のビットストリーム生成部の構成を説明するため

の概略的な構成図である。

【図 5】

システムクロックに対する選択信号およびイネーブル信号のタイミング例を示すタイミング図である。

【図 6】

図 5 に示すタイミング図の各時刻において各レジスタに保持されるデータの例を示す図である。

【図 7】

図 4 に示したフィルビット付加部を説明するための概略的な構成図である。

【図 8】

図 7 に示したフィルビット長生成部を説明するための概略的な構成図である。

【図 9】

未出力データ長とフィルビット長との対応例を示す図である。

【図 10】

図 7 に示したフィルビット生成部を説明するための概略的な構成図である。

【図 11】

フィルビット長とフィルビットとの対応例を示す図である。

【図 12】

図 7 に示したフィルビット生成部の他の例を説明するための概略的な構成図である。

【図 13】

図 12 に示したフィルビット生成部によって生成されるフィルビットとフィルビット長との対応例を示す図である。

【図 14】

本発明に係る第 2 の実施の形態のビットストリーム生成部を説明するための概略的な構成図である。

【図 15】

図 14 に示すビットストリーム生成部のフィルビット付加部を説明するための概略的な構成図である。

【図 16】

システムクロックに対する選択信号のタイミング例を示すタイミング図である。

【図 17】

図 16 に示すタイミング図の各時刻において各レジスタに保持されるデータの例を示す図である。

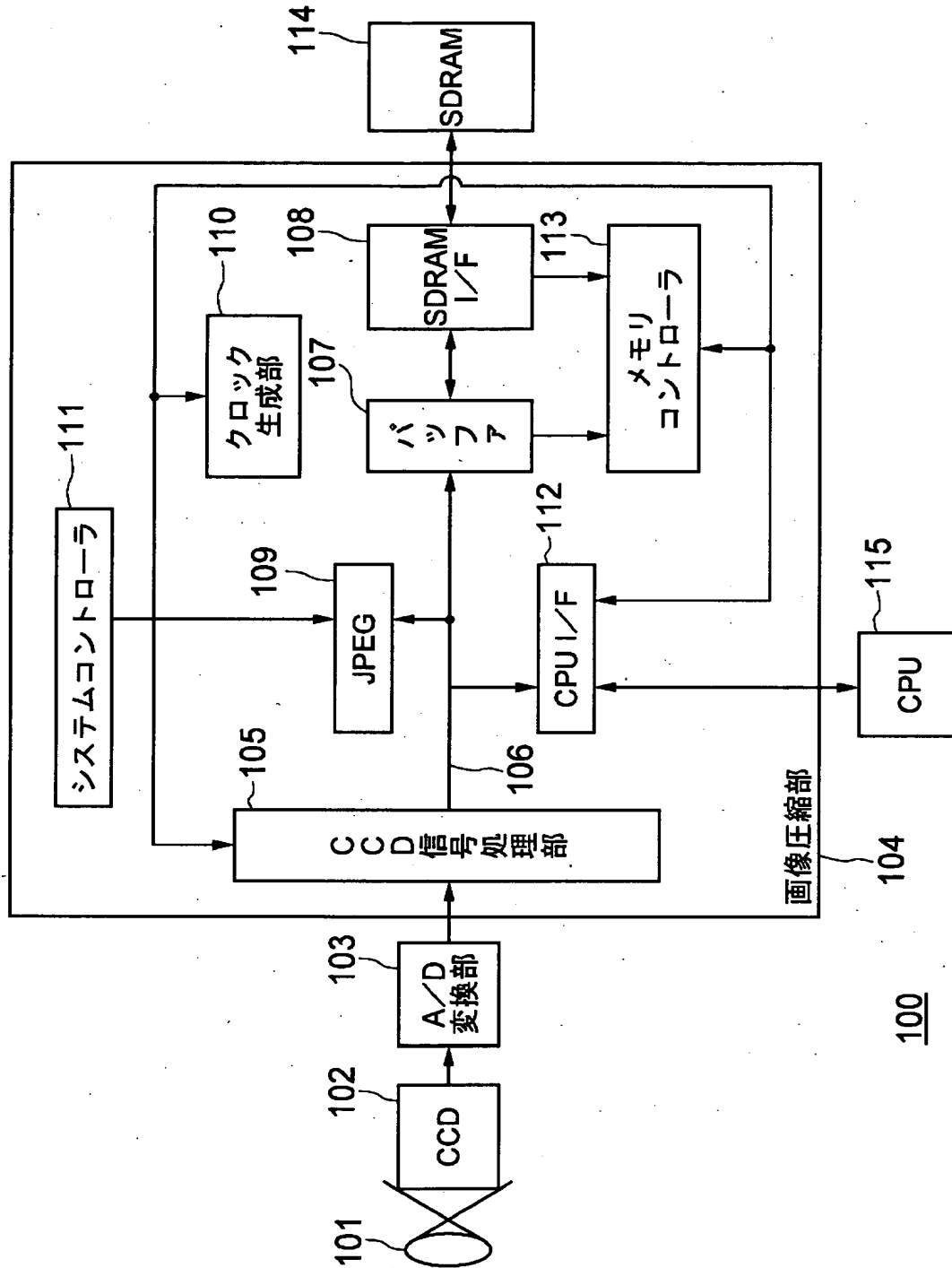
【符号の説明】

1 …結合部、2 …データ選択部、3 …データ結合部、4 …出力部、5, 5' …フィルビット付加部、6 …データ長加算部、7 …データ長選択部、8, 8' …データ長処理部、9 …データ長加算部、21 …セクタ、22 …レジスタ、31 …結合部、32 …レジスタ、51 …フィルビット長生成部、52 …フィルビット生成部、53, 53' …結合部、81 …結合データ長生成部、82 …セクタ、83 …レジスタ、84 …データ長加算部、100 …カメラシステム、101 …光学系、102 …CCD、103 …A/D変換部、104 …画像圧縮部、105 …CCD信号処理部、106 …バス、107 …バッファ、108 …SDRAM I/F、109 …JPEG処理部、110 …クロック生成部、111 …システムコントローラ、112 …CPU I/F、113 …メモリコントローラ、114 …SDRAM、115 …CPU、121 …DCT・量子化部、122 …マーカ発生部、123 …可変長符号化部、124 …JPEG制御レジスタ、125 …JPEGコントローラ、131 …可変長符号算出部、132 …可変長符号テーブル、133 …ビットストリーム生成部、511 …ビット反転部、512 …加算部、521, 521' …セクタ、522' ~ 525' …データ生成部

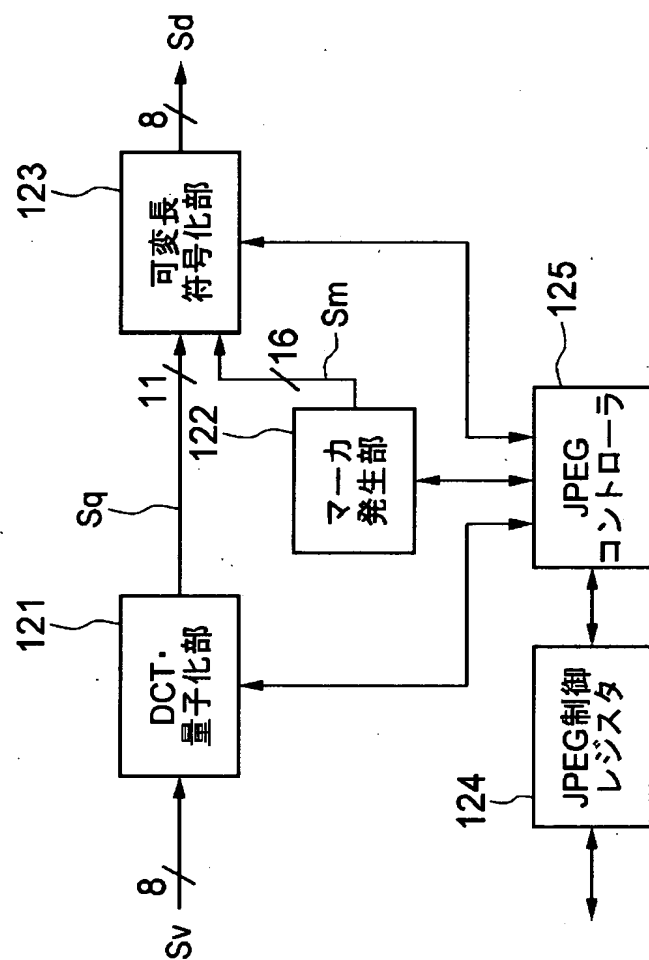
【書類名】

図面

【図 1】



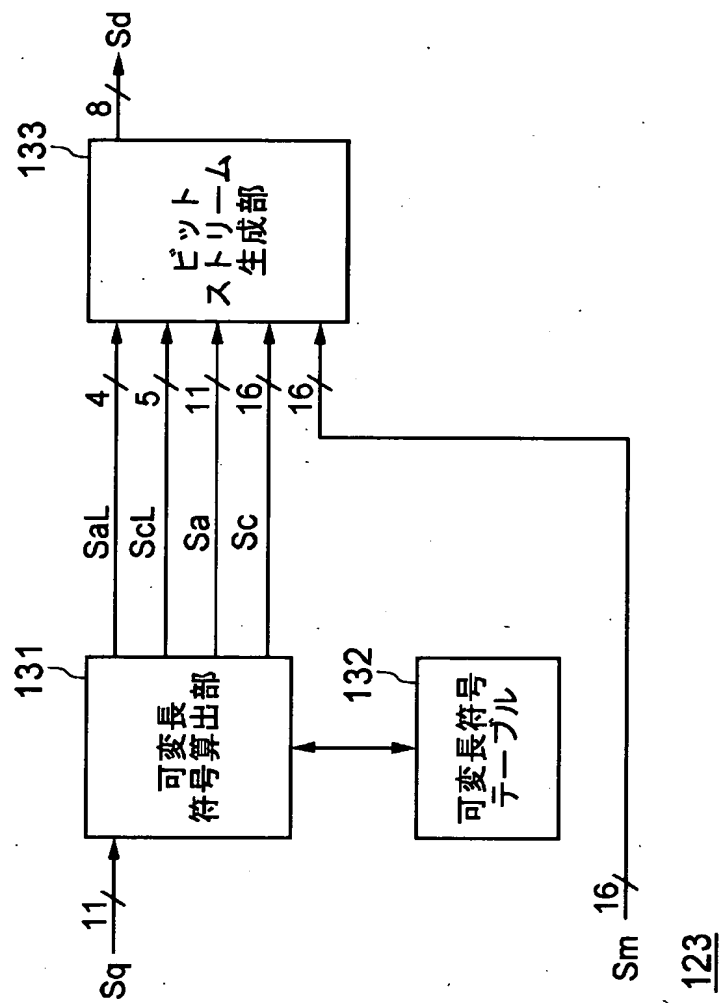
【図 2】



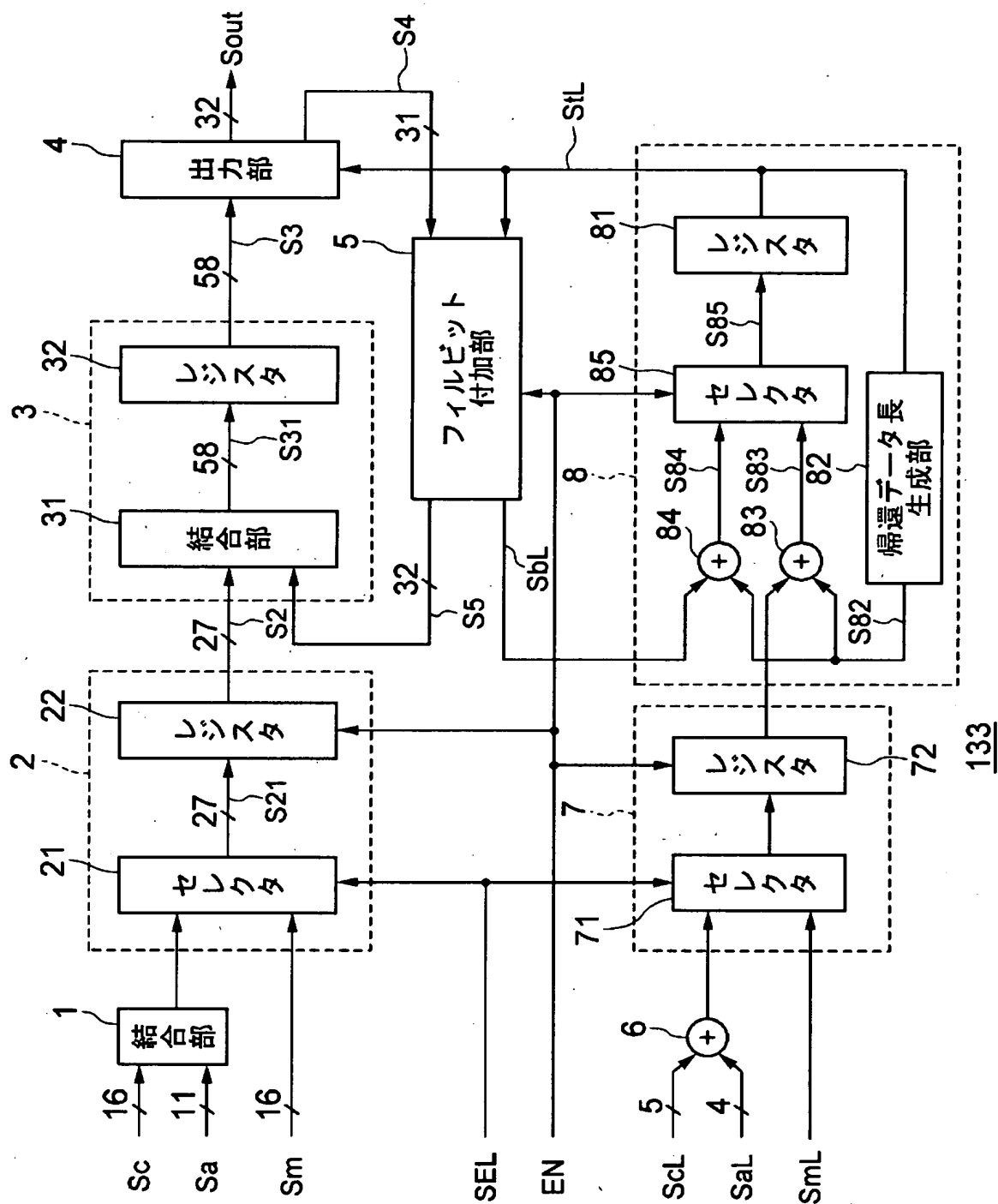
109



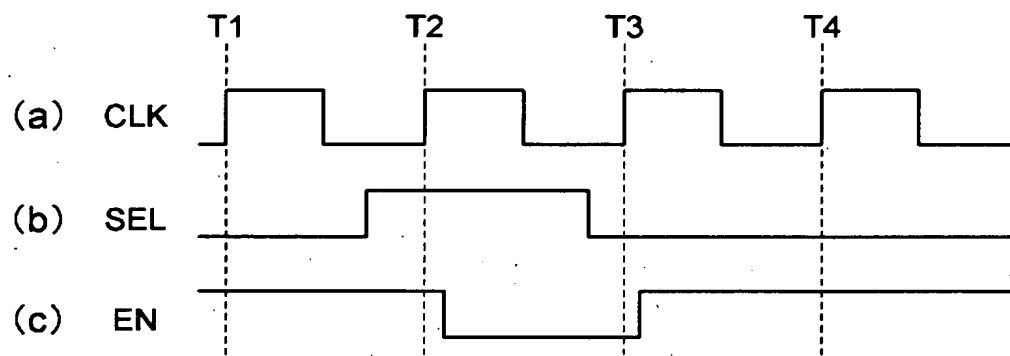
【図 3】



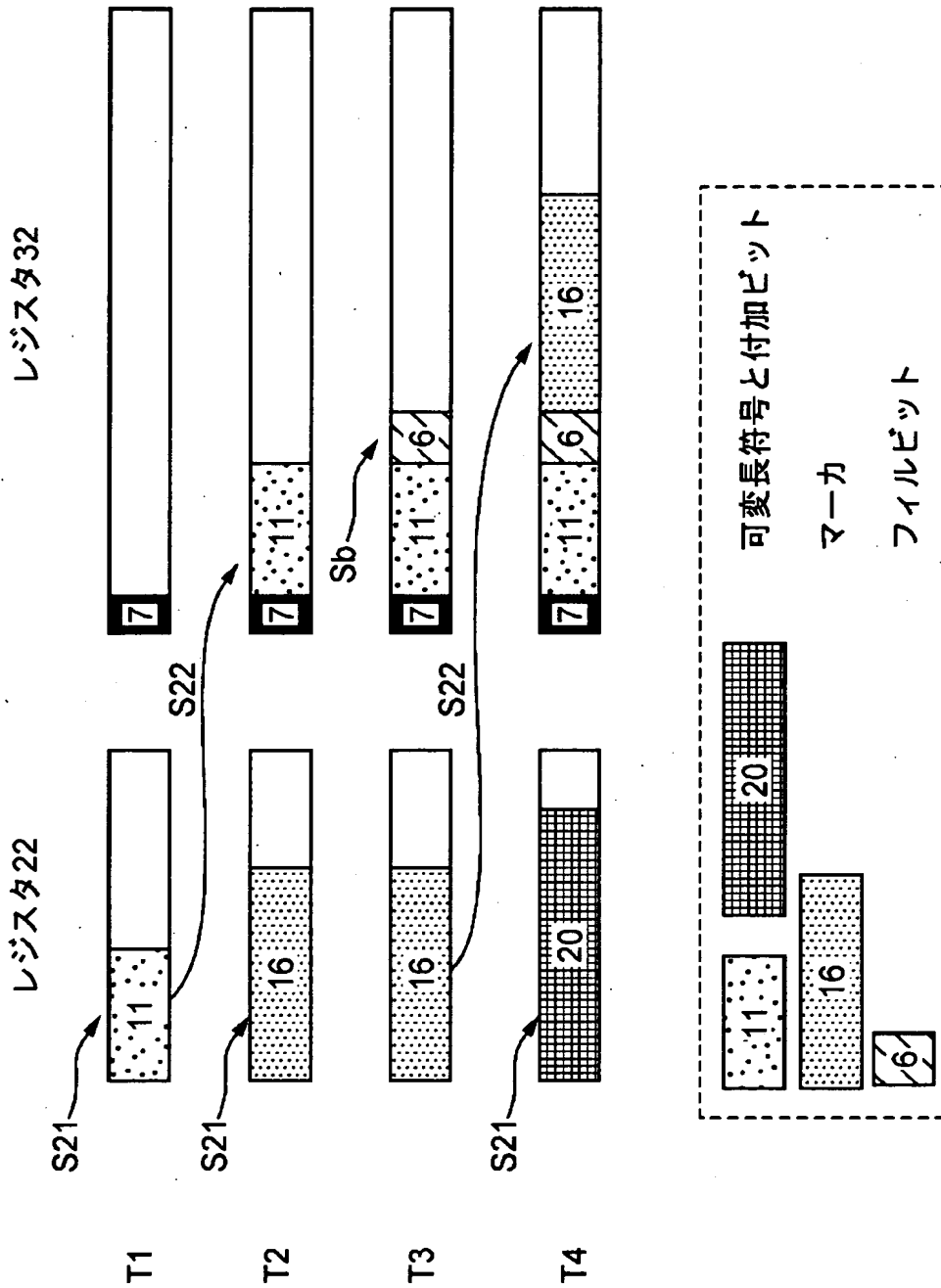
【図 4】



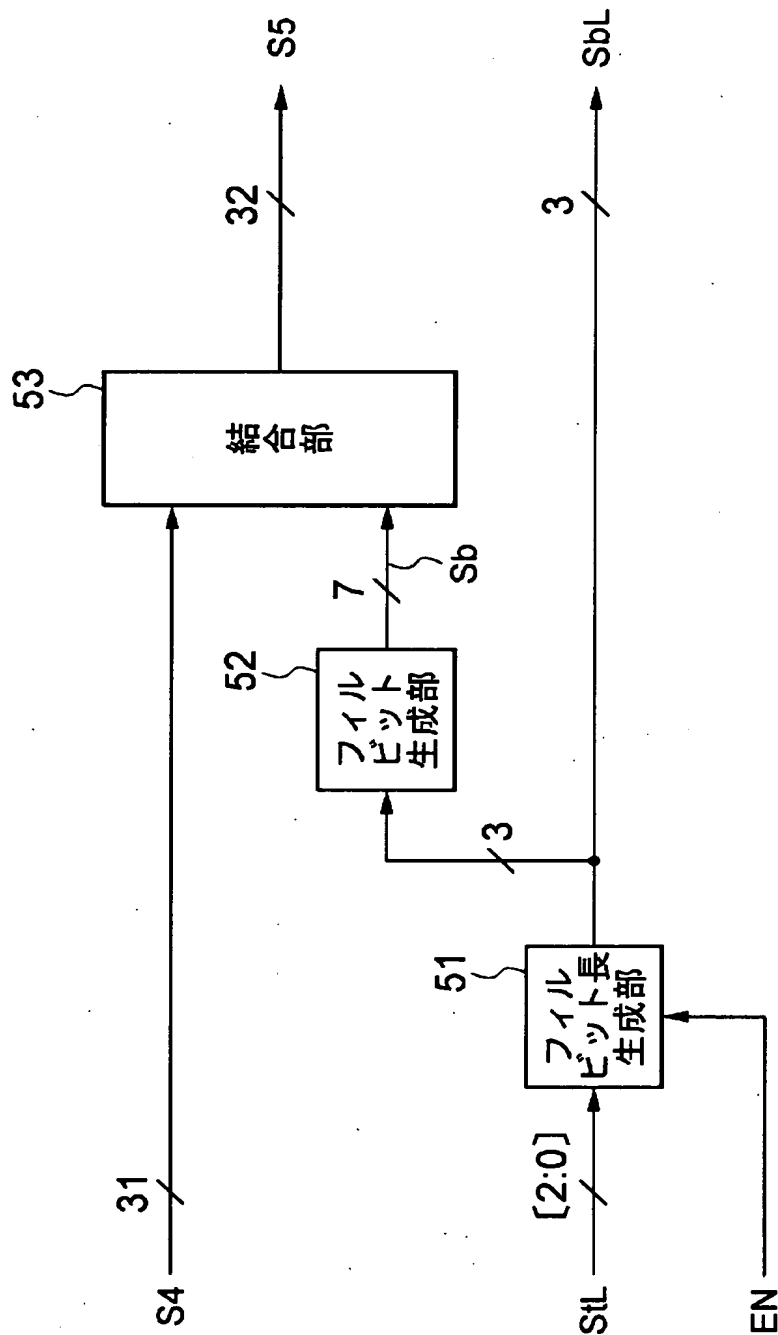
【図 5】



【図 6】

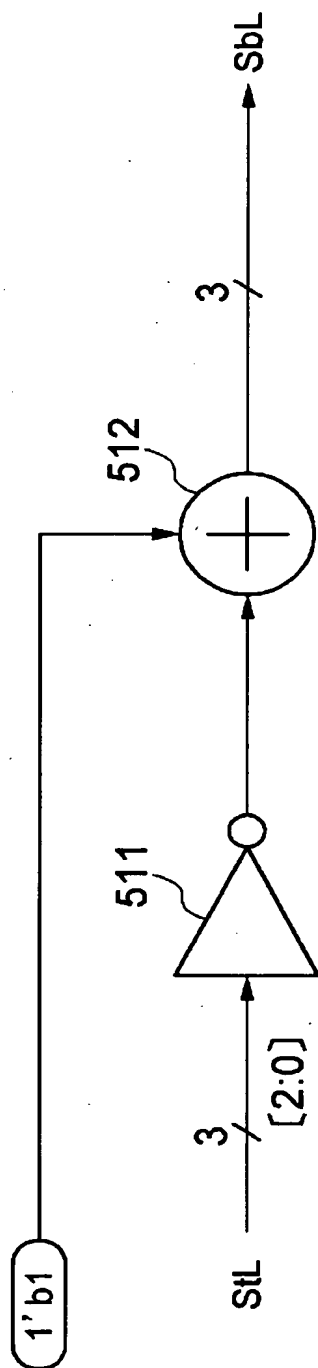


【図 7】



5

【図 8】

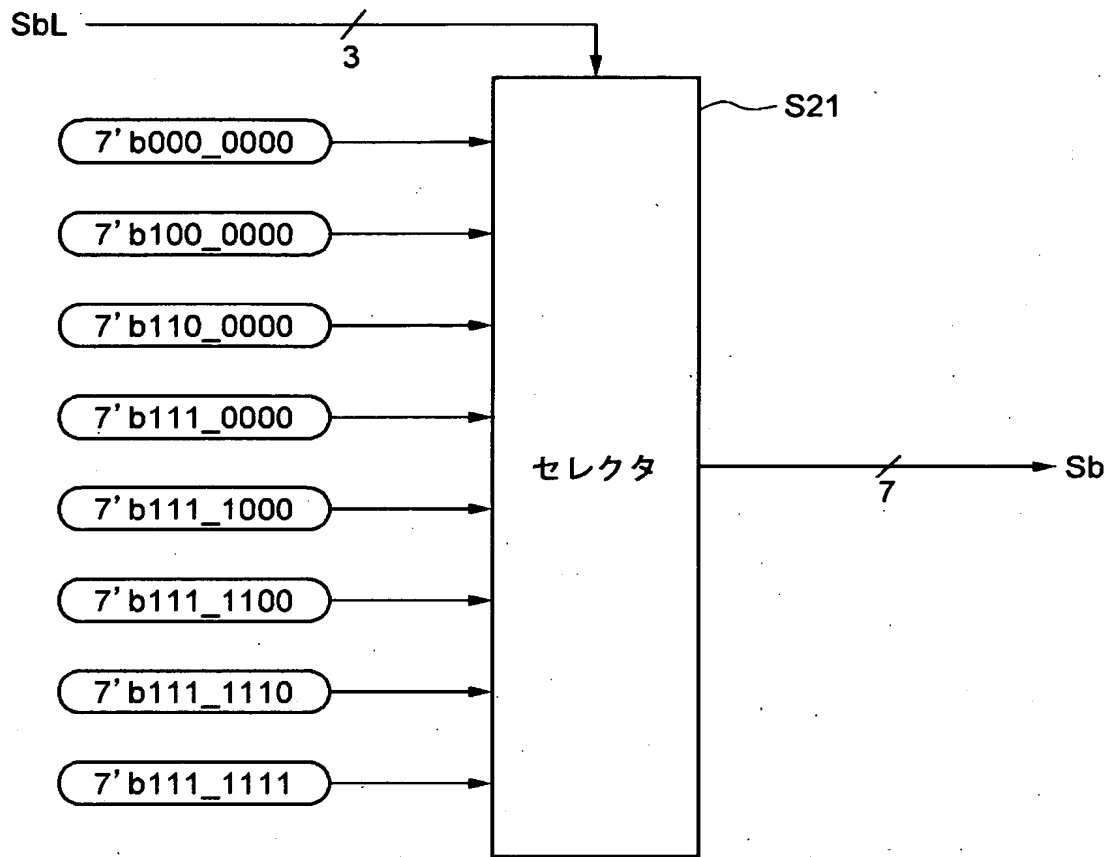


51

【図 9】

未出力データ長 LSB 3ビット		フィルビット長	
10進	2進	10進	2進
0	000	0	000
1	001	7	111
2	010	6	110
3	011	5	101
4	100	4	100
5	101	3	011
6	110	2	010
7	111	1	001

【図 1 0】

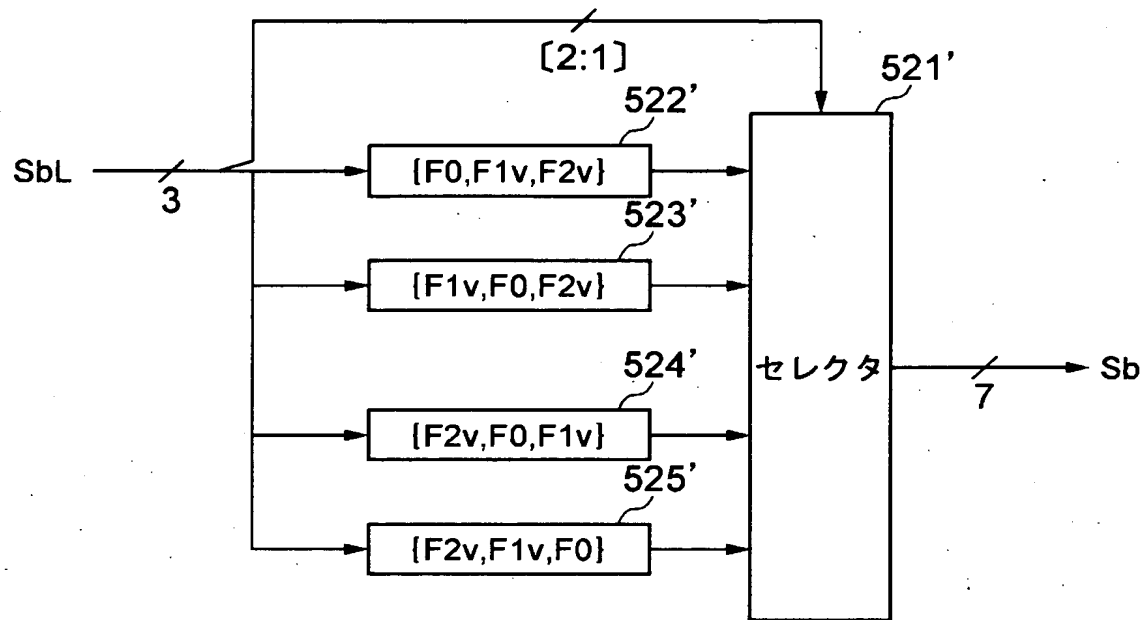




【図 1 1】

フィルビット長		フィルビット長
10進	2進	
0	000	7' b000_0000
1	001	7' b100_0000
2	010	7' b110_0000
3	011	7' b111_0000
4	100	7' b111_1000
5	101	7' b111_1100
6	110	7' b111_1110
7	111	7' b111_1111

【図 12】

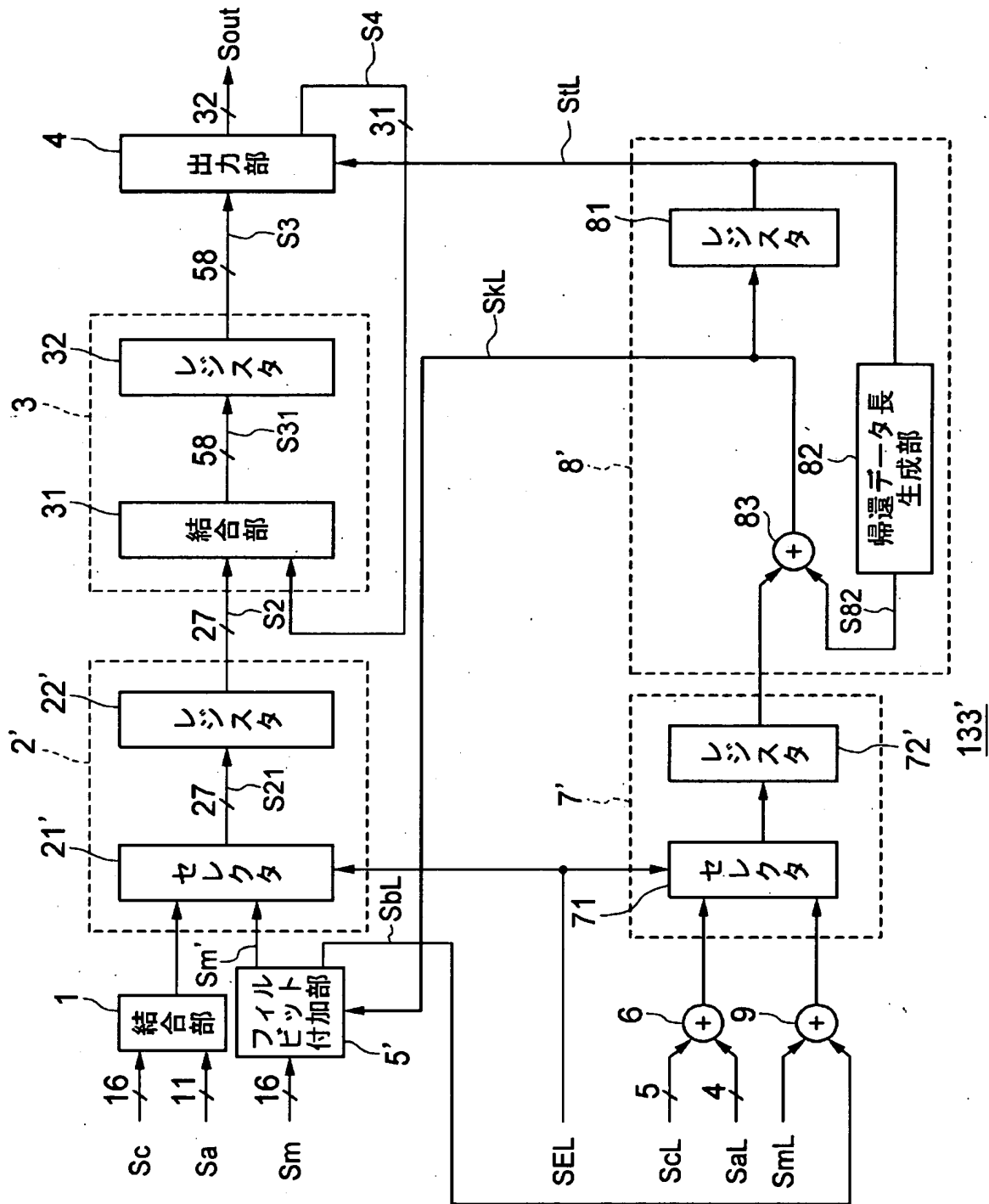


52'

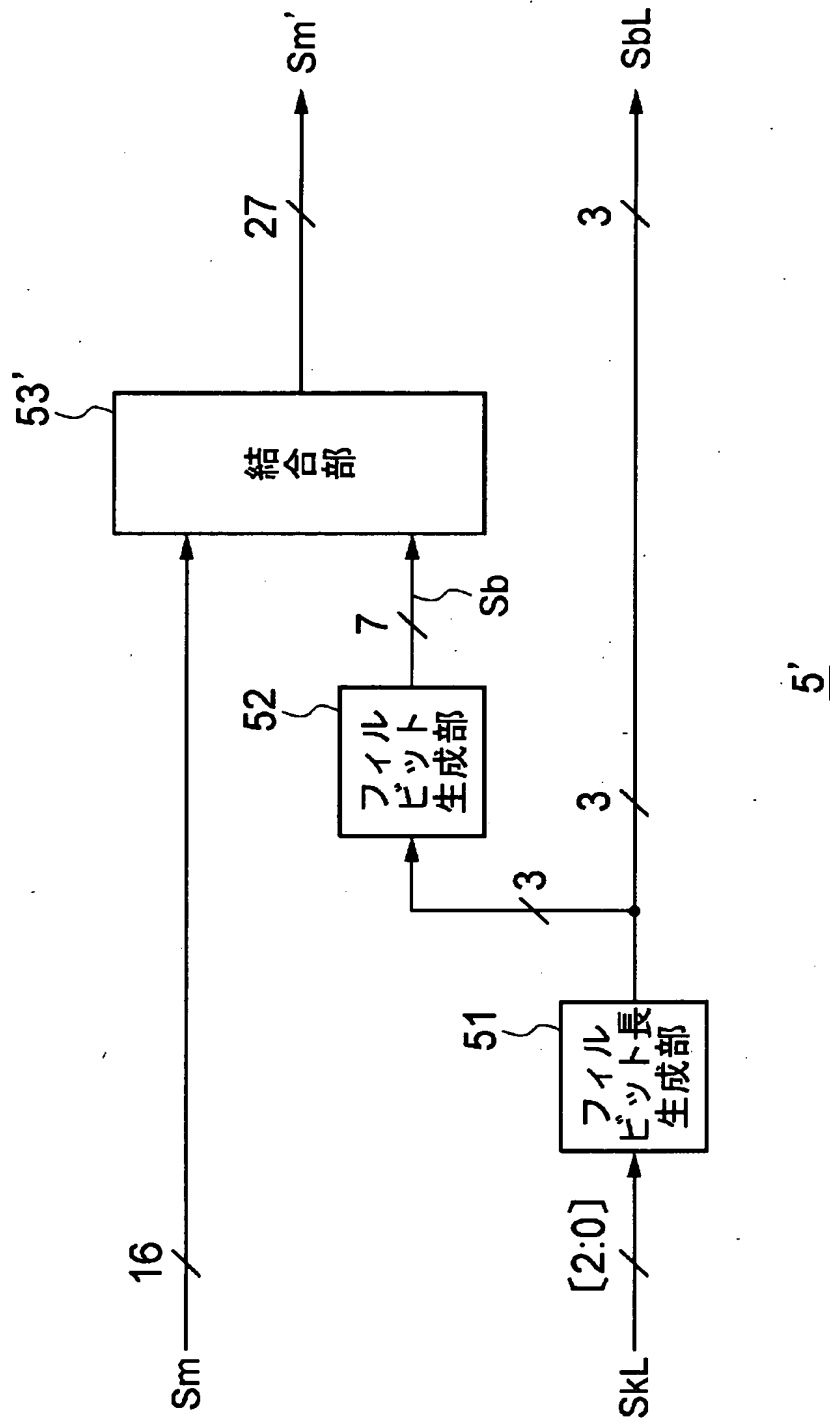
【図 13】

フィルビット長				F2v	F1v	接続順	フィルビット
10進	2進						
	F2	F1	F0				
0	0	0	0	0000	00	{F0,00,0000}	7' b000_0000
1	0	0	1				7' b100_0000
2	0	1	0		11	{11,F0,0000}	7' b110_0000
3	0	1	1				7' b111_0000
4	1	0	0	1111	00	{1111,F0,00}	7' b111_1000
5	1	0	1				7' b111_1100
6	1	1	0		11	{1111,11,F0}	7' b111_1110
7	1	1	1				7' b111_1111

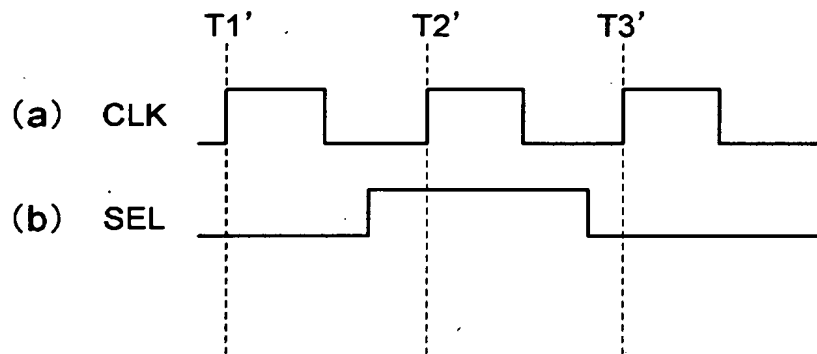
【図14】



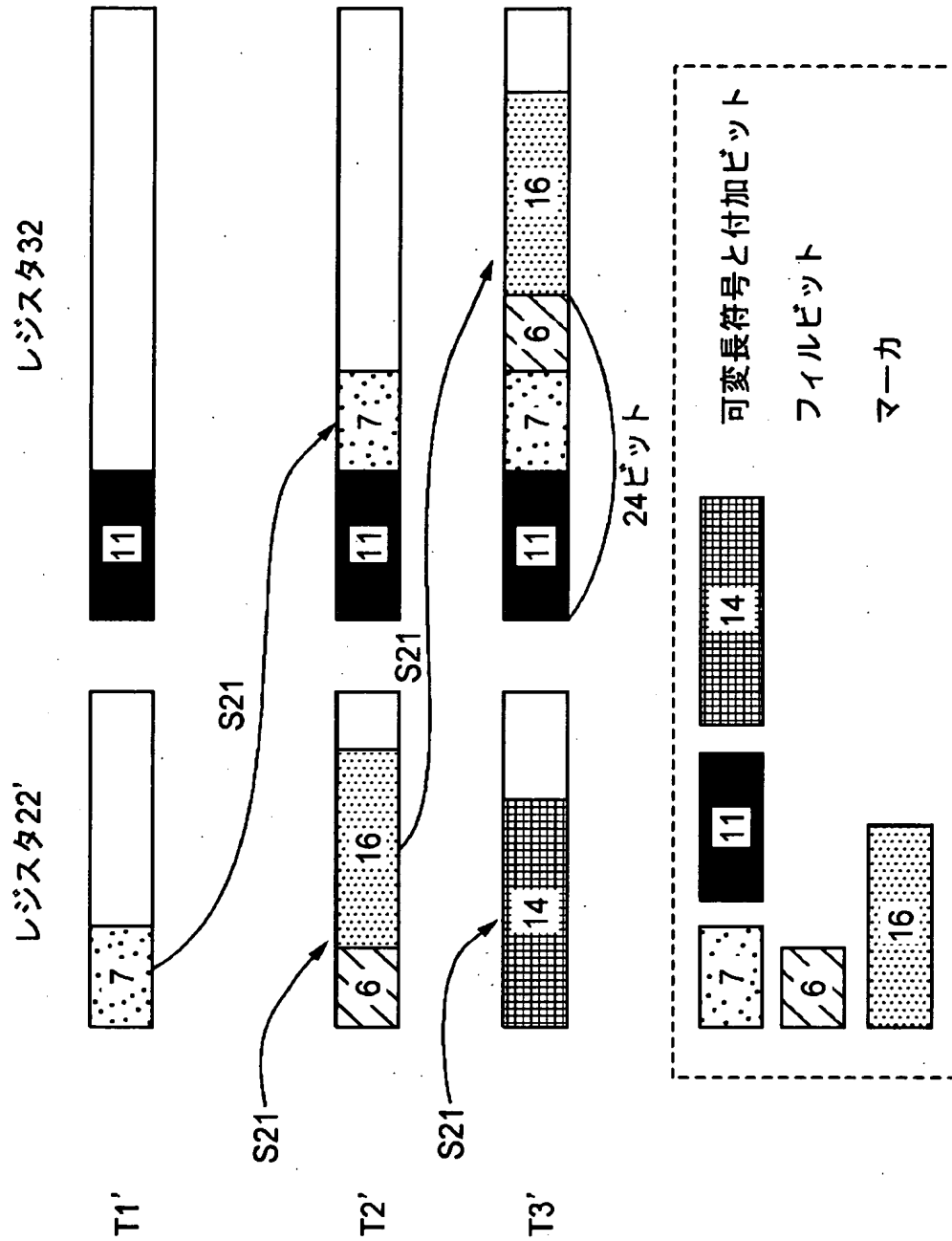
【図 15】



【図 1 6】



【図 17】



【書類名】 要約書

【要約】

【課題】 フィルビット挿入処理を効率よく行なう J P E G 等のデータストーム生成装置およびその方法、およびこれを有するカメラシステムを提供する。

【解決手段】 データ結合部 3 で結合された未出力のデータ長  $S_{tL}$  が 3 2 ビットに達した場合、この未出力データの M S B から 3 2 ビットのデータが出力部 4 より出力され、残りのデータがデータ結合部 3 に帰還され、3 2 ビットに達しない場合は未出力データがデータ結合部 3 に帰還される。入力データ  $S_2$  と帰還データ  $S_4$  のデータ長が加算されたデータ長  $S_{kL}$  と、1 バイトの整数倍のデータ長との差分のデータ長を有するフィルビットがフィルビット付加部 5' で生成され、マーカ  $S_m$  の M S B 側に付加されてデータ選択部 2' に出力される。このマーカ  $S_m'$  または可変長データが選択信号  $S_{EL}$  に応じて選択され、データ結合部 3 で帰還データ  $S_4$  の L S B 側に結合されて、出力部 4 に供給される。

【選択図】 図 1 4



出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日  
[変更理由] 新規登録  
住 所 東京都品川区北品川6丁目7番35号  
氏 名 ソニー株式会社